

## PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 319702046971	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP97/03969	International filing date (day/month/year) 30 October 1997 (30.10.97)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01L 21/60, 23/12		
Applicant HITACHI, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 3 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

RECEIVED  
AUG 25 2000  
PC 2800 MAIL ROOM

Date of submission of the demand 30 October 1997 (30.10.97)	Date of completion of this report 16 July 1998 (16.07.1998)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP97/03969

## I. Basis of the report

1. This report has been drawn on the basis of *(Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.)*:

- ☐ the international application as originally filed.
- ☒ the description, pages 1-21, as originally filed,  
pages \_\_\_\_\_, filed with the demand,  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_,  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_.
- ☒ the claims, Nos. 1-25,27-29, as originally filed,  
Nos. \_\_\_\_\_, as amended under Article 19,  
Nos. \_\_\_\_\_, filed with the demand,  
Nos. 26,30-33, filed with the letter of 03 April 1998 (03.04.1998),  
Nos. \_\_\_\_\_, filed with the letter of \_\_\_\_\_.
- ☒ the drawings, sheets/fig 1-58, as originally filed,  
sheets/fig \_\_\_\_\_, filed with the demand,  
sheets/fig \_\_\_\_\_, filed with the letter of \_\_\_\_\_,  
sheets/fig \_\_\_\_\_, filed with the letter of \_\_\_\_\_.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

3. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.  
PCT/JP 97/03969

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-33	YES
	Claims		NO
Inventive step (IS)	Claims	6, 7, 15-29	YES
	Claims	1-5, 8-14, 30-33	NO
Industrial applicability (IA)	Claims	1-33	YES
	Claims		NO

### 2. Citations and explanations

Claims 1 to 3 do not involve an inventive step in light of Document 1 (JP, 8-330355, A (Shinko Electric Industries Co., Ltd.), December 13, 1996 (13.12.96), column 6, lines 38 to 49; column 8, lines 34 to 44; column 9, line 19 to column 10, line 6; and Fig. 1, 9 and 10), Document 2 (JP, 8-78574, A (Shinko Electric Industries Co., Ltd.), March 22, 1996 (22.03.96), column 5, line 7 to column 6, line 38; and Fig. 1 to 4) and Document 3 (JP, 8-102466, A (NEC Corp.), April 16, 1996 (16.04.96), column 6, line 1 to column 7, line 14; and Fig. 1 and 2), all cited in the international search report.

Claims 4 and 5 do not involve an inventive step in light of Documents 1 to 3 and Document 4 (JP, 6-302645, A (Fuji Xerox Co., Ltd.), October 28, 1994 (28.10.94), column 4, line 26 to column 5, line 6; and Fig. 1).

Claims 8 to 13 do not involve an inventive step in light of Documents 1 to 3.

Claim 14 does not involve an inventive step in light of Documents 1 to 3 and Document 5 (JP, 8-250498, A (Sony Corp.), September 27, 1996 (27.09.96), column 4, line 42 to column 6, line 22; column 10, lines 15 to 30; and Fig. 1) cited in the international search report.

Claims 30 and 31 do not involve an inventive step in light of Documents 1 to 3.

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International application No.

PCT/JP 97/03969

Claim 32 does not involve an inventive step in light of Documents 1 to 4.

Claim 33 does not involve an inventive step in light of Documents 1 to 3.

E P



P C T

09/530490

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 319702046971	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 9 7 / 0 3 9 6 9	国際出願日 (日.月.年) 3 0 . 1 0 . 9 7	優先日 (日.月.年)
出願人 (氏名又は名称) 株式会社 日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。
2. ☐ 発明の単一性が欠如している (第 II 欄参照)。
3. ☐ この国際出願は、ヌクレオチド及び／又はアミノ酸配列リストを含んでおり、次の配列リストに基づき国際調査を行った。
  - ☐ この国際出願と共に提出されたもの
  - ☐ 出願人がこの国際出願とは別に提出したもの
    - ☐ しかし、出願時の国際出願の開示の範囲を越える事項を含まない旨を記載した書面が添付されていない
  - ☐ この国際調査機関が書換えたもの
4. 発明の名称は ☒ 出願人が提出したものを承認する。  
☐ 次に示すように国際調査機関が作成した。  
 \_\_\_\_\_
5. 要約は ☐ 出願人が提出したものを承認する。  
☒ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により  
 国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこ  
 の国際調査機関に意見を提出することができる。
6. 要約書とともに公表される図は、  
 第 1 図とする。 ☒ 出願人が示したとおりである。 ☐ なし  
☐ 出願人は図を示さなかった。  
☐ 本図は発明の特徴を一層よく表している。

## 第Ⅲ欄 要約 (第1ページの5の続き)

本発明のチップサイズパッケージは、バンプ電極に集中する応力を緩和、吸収する低弾性エラストマー2を半導体チップ1の主面上に形成し、ボンディングパッド7に接続された配線4をこのエラストマー2に開孔したスルーホールを通じてその上面に引き出してその一端部にバンプ電極5を接続する。また、エラストマー2の上面に引き出した上記配線4を湾曲したパターンで形成し、バンプ電極5に集中する応力を上記エラストマー2のみならず配線4の伸縮によって吸収、緩和する。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl.<sup>6</sup> H01L21/60, H01L23/12

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl.<sup>6</sup> H01L21/60, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1995年

日本国登録実用新案公報 1994-1997年

日本国実用新案登録公報 1996-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A Y A	J P, 8-330355, A (新光電気工業株式会社), 13. 12月. 1996 (13. 12. 96), 第8欄第34行-第44 行, 第9欄第19行-第10欄第6行, 及び第9, 10図&EP, 734065, A2	1-5 6-13 14 15-29
Y A Y A	J P, 8-78574, A (新光電気工業株式会社), 22. 3 月. 1996 (22. 03. 96), 第5欄第7行-第6欄第38 行, 及び第1図&EP, 701278, A2	1-5 6-13 14 15-29

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

22. 01. 98

国際調査報告の発送日

03.02.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

野村 亨

4E

8012

電話番号 03-3581-1101 内線 3425

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A Y A	J P, 9-139401, A (新光電気工業株式会社), 27. 5月. 1997 (27. 05. 97), 第4欄第6行-第8欄第3 8行, 及び図1-4 (ファミリーなし)	1-5 6-13 14 15-29
Y A A A	J P, 8-102466, A (日本電気株式会社), 16. 4 月. 1996 (16. 04. 96), 第6欄第1行-第7欄第14 行, 及び図1, 2 & E P, 704895, A 2	4 22 26 27-29
Y	J P, 8-250498, A (ソニー株式会社), 27. 9月. 1996 (27. 09. 96), 第4欄第42行-第6欄第22 行, 第10欄第15行-第30行, 及び図1 (ファミリーなし)	14
A	J P, 2-77138, A (株式会社日立製作所), 16. 3 月. 1990 (16. 03. 90), 第13頁右上欄第10行-第 15行, 及び第15図 (ファミリーなし)	17



## ⑫ 公開特許公報(A) 平2-77138

⑤Int. Cl.<sup>5</sup>

H 01 L 21/60

識別記号

3 2 1 E

庁内整理番号

6918-5F

⑬公開 平成2年(1990)3月16日

審査請求 未請求 請求項の数 6 (全22頁)

⑭発明の名称 電子部品の接続構造及びそれを用いた電子装置

⑯特 願 昭63-210710

⑰出 願 昭63(1988)8月26日

優先権主張 ⑱昭62(1987)10月28日⑲日本(JP)⑳特願 昭62-270125

㉑発明者 野 呂 孝 信 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉒発明者 松 本 邦 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉓発明者 大 島 宗 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉔出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉕代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

## 1. 発明の名称

電子部品の接続構造及びそれを用いた電子装置

## 2. 特許請求の範囲

1. 同一平面上に多数の接続端子の設けられた電子部品を、前記接続端子に対応してその表面に設けられた複数の電極を介して電気的に配線基板上に接続する電子部品の接続構造において、水平及び垂直のいずれの方向にも変位可能な電子部品の接続構造。

2. 請求項1記載の電子部品の接続構造において、屈曲ないしは旋回して空間に伸びたマイクロリードの一端をあらかじめ前記配線基板の電極に電気的に接合固定しておき、次いで前記マイクロリードの他端に前記電子部品の接続端子を電気的に接続固定することにより、前記電子部品を前記マイクロリードを介して柔構造に接続することを特徴とする電子部品の接続構造。

3. 請求項1記載の電子部品の接続構造において、前記のマイクロリードの形状はリード断面の垂

直方向の長さは水平方向の長さより短く、水平方向の長さが30～70μmの幅をもつ帯状で、帯状のリードは少なくとも水平方向に屈曲ないしは旋回した形状であることを特徴とする電子部品の接続構造。

4. 電子部品が接続される面に電極群が形成された一層ないしは多層配線構造体からなる配線基板を準備する工程；前記配線基板の電極を除いて全面にリフトオフ被膜を形成する工程；前記電極上を含み全面にマイクロリード形成用導電膜を設ける工程；次いで前記マイクロリード形成用導電膜上にレジスト膜を形成し、屈曲ないしは旋回したうず巻状のリードパターンマスクを前記電極上にあらかじめ定められたマイクロリードの一端が位置するように配置して、露光、現象処理することによりマイクロリードのレジストパターンを形成する工程；上記レジストパターンをマスクとして前記マイクロリード形成用導電膜をエッチング加工する工程；次いで前記リフトオフ被膜及びレジストパターンを

溶解除去する工程を有することを特徴とする電子部品の接続構造の製造方法。

5. 請求項1～3のいずれかに記載の電子部品の接続構造を配線基板上に搭載していることを特徴とする電子装置のモジュール。

6. 請求項1～3のいずれかに記載の電子部品の接続構造を、配線基板上に搭載して電子部品を冷却体に押し付けていることを特徴とする電子装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は電子部品の接続方法及び構造とこれによる電子装置に係り、特にLSIチップなどの多数かつ微細な接続端子を有する電子部品を配線基板に柔構造に接続するに好適な電子部品の接続方法及び構造とこれによる電子装置の構造に関する。

#### 〔従来の技術〕

従来、LSIチップの電気的接続方式は、(1)ワイヤボンディング法、(2)テープキャリアボンディング法（またはTAB法：Tape Automated Bonding）

で知られている。

第25図（文献2：本多ほか3名、高密度実装ハンドブック、P238より、1986）にCCB法の接続メカニズムの原理的な概略図を示す。このCCB法ではLSIチップの横方向（水平方向）の大きさ以上に接続媒体（この場合はんだ）が伸びる（出る）ことがないこと。また、1個の接続媒体（はんだ）が水平方向にさしたる広がりがない。このため、格子状的端子配置のLSIチップを隣接して多数かつ連続して接続・実装するのに有利である。

このCCB法によるチップの接続・実装適用例として、多数かつ高密度の実装の要求される超高速電子計算機、たとえばIBM社のTCM（Thermal Conduction Module）などをあげることができる（第24図、文献2、P240より）。

上記の例のように、電子計算機や高級な電子装置においては接続端子数の多いLSIチップの実装が要求される。ことに近年は第23図（文献1より）に見るごとく、論理用LSIの端子数の増加

（ding）、(3)フリップチップボンディング法の3つに大別される（文献1：二瓶ほか2名、半導体ハンドブック、P128、株式会社サイエンスフォーラム、1986、9、25）。

前記3つの接続方式において、(1)及び(2)の方式はLSIチップの入出力用端子が、チップの周辺部にある構造のチップのみにしか適用することができない（第3表 参照：文献1より）。その理由についての詳細は後に述べる。

一方、(3)のフリップチップボンディング法はLSIチップの周辺部のみならず、中心部をも含めたチップの全面にわたって接続端子が設けてある構造（以下、格子状的端子配置と呼ぶ）のチップについても適用することができる。

その方法は接続しようとするLSIチップの端子の表面に100から125 $\mu$ m程度の高さのはんだパンを設け、このチップを配線基板上に置き、はんだを再加熱・溶融して接続する。この方法はC-4法（Solid Logic Technology）、あるいはCCB法（Controlled Collapse Bonding）の略称

が著じるしく、それらは高密度配列、電源特性上から格子状的端子配置のチップ構造になりつつある。

このように、格子状で高密度に配置された論理用LSIチップについては、初めに述べたように、ワイヤボンディング法あるいはテープキャリアボンディング法（以下、TAB法）では以下の理由により、適用することができない。

ワイヤボンディング法は第22図（文献2、P307より）に示すようにLSIチップの端子から、その外部周辺にAuまたはAlの細線を引き出して接続する方法である。このため、(1)チップの外周にリード（線）を引き出し接続するためのスペースが必要であり、基本的に接続するための余計なスペースを用意せざるを得ないこと。(2)リードの接続はワイヤボンダーと呼ばれる装置で行なわれるが、リードワイヤ（線）は絶縁被覆のない裸線であり、これをチップ中心部の端子のまで多数に接続すると、ワイヤ同士が接触する。このため、ワイヤボンディング法では前述の論理LSIチップのように高密度かつ格子状的端子配置である構造のチッ

ブの接続については不向である。

また、TAB法では第21図(文献1, P 277より)に示すように、フィルム(キャリア)上に配線用のリードを設け、このフィルムごとリードを通じてチップを接続する方法である。

このTAB法では、リード線をフィルムに固定するのにその接着代としての余分なリード部分が必要でリード長の短縮化に難点がある。すなわち従来のフィルムキャリアは、アウトリードとインナリーリードとの中間部を長めにし、その部分でフィルムベースに固定・担持する。また、インナリーリードは内側に向って直線的に配線する。そのため、これに接続できるLSIはその周辺部のみに端子の配置された比較的端子数の少ないメモリ用等のLSIチップに限られていた。しかるに、論理用LSIチップでは端子数がきわめて多い(約 $10^4$ 以上に500個以上ある)。また、LSIチップの周辺部のみの端子配置にとどまらず、その中心部まで一様に端子が格子状的に配置されていることは先に述べた通りである。

最近、電子計算機をはじめ高性能電子機器装置の分野において、LSIチップを実装するのに柔構造のチップ接続技術の開発が要求されている。

この分野においては先に述べたCCB法などの剛構造の接続法では最早その要求を満たすことはできない。

上記、柔構造のLSIチップ接続方法が要求される理由はたとえば電子計算機でみるとその最も重要性能の一つである演算速度に関係するためである。すなわち、演算速度は電子計算機のハード(装置)側でみると、LSIの性能とこれを搭載実装するための配線基板の性能によって決定される。

この配線基板について近年の傾向をみると、W(タングステン)やMo(モリブデン)を配線材料としたセラミックス(アルミナ、ムライトなど)の多層配線基板が開発・実用化されるに至っている。

これはLSIチップを高密度に接続・実装でき、かつ増大する配線の総配線長を短縮化するのに効

このため、TAB法のようにインナリーリードが平面的に内側に向って直線的配線された形状では格子状的端子配置の論理LSIチップを接続することはできない。

以上の2つの方法の欠点を要約すると、(1)LSIチップが占める面積以上の余計なスペースを要すること。(2)論理LSIチップのようにチップの中心部まで格子状的に端子のある構造のチップには適用できないことである。

以上の理由により、論理LSIチップ等の格子状で高密度に配置された端子構造のLSIチップを、高密度にかつコンパクトに接続・実装できる方法は先に述べたCCB法などに代表されるフリップチップボンディング法のみである。

しかるに、CCB法などのフリップチップボンディング法においては、ボール状のはんだで直接接続するものであり、基本的には剛(硬い)構造の接続方法である。このため、近年はこの方法において不都合が生じるに至っている。以下にその状況を説明をする。

果がある。しかるに、電気信号の伝送性能でみると以下の不満足な点がある。

(1)セラミックス基板は、一般に電気誘電率が大きい(アルミナ $\epsilon_r$ : 9~10)、これと配線が接触する界面で寄生電荷が発生し、電気パルス信号の伝送速度を遅延させる原因となる。

(2)配線導体材料であるW、Mo等は他の金属導体、たとえばCu(銅)と比較し、電気抵抗が大きい。そのため、電気パルス信号の波形を劣化させる。その結果、伝送するパルス間の時間を短縮化しにくく、ひいてはこれがパルス信号の伝送容量・高速化を阻む原因となっている。

このため、上記の欠点を除くべく、最近では配線材料としてCuなどを、また基板材料には電気誘電率の小さい有機物、たとえばポリイミド系樹脂( $\epsilon_r \approx 3$ )等を用いた配線基板を開発、あるいは用いようとする傾向にある。

しかし、上記の高性能配線基板においては線熱膨張係数がアルミナ等のセラミックスと比較し大きく、LSIチップの主成分であるSiとの熱膨張

係数の差(以下 $\alpha$ 差)が $100\sim 130\times 10^{-7}/^{\circ}\text{C}$ と大きい。

このため、従来のLSIチップ接続方法のように配線基板にLSIチップを直接はんだ付けすると以下のような不都合が生じる。すなわち、有機物とCuを用いた配線基板にLSIチップを固定すると、その $\alpha$ 差が大きいため、はんだ接続部に熱応力が生じ、はんだ接続部は熱応力による歪に耐えきれず破壊され、接続部が断線する結果となる。

ゆえに、上記のように熱膨張係数の大きい配線基板にLSIチップを接続する場合は両者の $\alpha$ 差によって生ずる熱応力歪を吸収あるいは緩和できる方法、すなわち柔構造のLSIチップ接続法が必要である。

また、従来のようなセラミックス配線基板を用いても、たとえばアルミナセラミックス配線基板の熱膨張係数( $60\sim 65\times 10^{-7}/^{\circ}\text{C}$ )はLSIチップの熱膨張係数( $30\times 10^{-7}/^{\circ}\text{C}$ )と完全に整合していない。ことに最近ではLSIチップの大形化( $10\text{mm}^2\rightarrow 16\text{mm}^2$ )に伴い、 $\alpha$ 差による熱応力歪が増大する傾向に

向にコンパクトに接続・実装できない。

(2) CCB法では柔構造に接続・実装できない。

このような既存のLSIチップ接続技術の欠点に対し、ことに前記(2)の問題を解決する目的で従来、たとえば特開昭61-110441号公報に記載されたものがエールフェルト氏によって提案されている。

しかし、上記提案の方法においては、つぎに述べるような問題があった。

(1) LSIチップと配線基板との接続部において、垂直(2)方向に変形(自由性)ないしは弾性力(ばね性)を有するものでない。

このことは、LSIチップを配線基板に接続したのち、LSIチップの背面(非電氣的接続面)と冷却体との接触部に不都合が生ずる。すなわち、配線基板に接続されたLSIチップ(複数)は、個々に多少の凹凸ないしは斜傾して(完全な水平ではなく)接続されるのが普通である。そのため、チップと冷却体の接触界面にすき間(ないしは接触不良)を生ずることがある。この接触不良を補

あり、すでにはんだのみの接続では熱応力の歪に耐えきれない状況にある。このため、従来のセラミックス配線基板にLSIチップを接続する場合においても、熱応力によって生じる歪を吸収ないしは緩和できる構造のLSIチップ接続法が要求される。

以上の状況を第20図にまとめて示す。この第20図において、縦軸はLSIチップの大きさ(サイズ)を、横軸は配線基板とLSIチップ(主成分Si)との $\alpha$ 差を、また図中の斜線はCCB接続法での寿命の限界値を示す。この図は発明者らのCCB接続法での実験結果に基づき作成したものである。

以上によって、単なるCCB法による剛構造の接続では耐久性が限界に達していることは明白である。

以上によって従来の一般によく知られているLSIチップ接続技術の足らざるところを要約すると以下ようになる。

(1) ウィヤボンディング法及びTAB法は水平方

うために普通は冷却体側から、ばね機構を設えた棒(放熱スタッド)でチップの背面を押しつけている(第19および24図参照、文献1及び2より)。

しかるに、この方法では、冷却効果を低下させ、かつ冷却体の構造を複雑にしている。

これに対し、LSIチップを垂直(2)方向に弾性力(ばね性)を有するようにした接続方法は良好な接触性をもつと共に上記従来冷却体の簡素化をはかることができる。

しかるに、従来のCCB法によるはんだ付けのみの接続法や前述のエールフェルトの接続法ではほとんどないしは十分な弾性力を有していない。

(2) エールフェルトの接続法ではチップの一端子につき2ヶ所の接続を要する。

すなわち、先の特開昭61-110441号では、チップを基板に接続する場合、チップの1端子につき上、下2ヶ所の接続を要する。このことは接続個所が多くなり、チップ接続作業上及び電氣的接続の信頼性、また電気抵抗の上から好ましくない。この点も、本発明の解決しようとする技術的課題

の一つである。すなわち一つの基板上に多数のチップが搭載される高密度実装において、1端子につき1個所で基板電極に接続することが望ましい。第18図は、上記エールフェルトの2個所で接続する場合の結合要素の構成〔第18図(a)は斜視図、(b)は平面図〕、とこの結合要素を用いてチップの電極を基板電極に接続した状態〔第19図(c)は断面図〕を示したものである。つまり、結合要素は2つの互いに平行に配置したピン60a, 60bが薄い板ばね60によって互いに結合されている。第18図(c)において、結合要素の一方のピン60bはセラミック基板62の導体部65に電気的に接続され、他方のピン60aは、はんだ63を介してチップ61の電極64に電気的に接続されている。このような構成であるから、チップの1端子64は結合要素のピン60a, 60bの2個所を介して基板の導体路65に接続され接続点数が2点となる。

以上のため、柔構造接続法と言えど、従来のCCBはんだ付けで行なっていたように、1回(多数端子同時)のはんだ付けでLSIチップの接続

を完了することが望ましい。

またエールフェルトの接続法では、板パネを作成するのに高エネルギー(上記特開昭61-110441号公報ではシンクロトン放射線を利用)を要し、全体の工程が複雑で容易に行うことができない問題があった。

一方、LSIチップを多少とも柔構造に接続しようとする試みは、前記エールフェルト法とは別に、特開昭57-121255号公報に記載された方法が本田氏によって提案されている。

この方法では第17図に示すようにLSIチップ70(電気回路素子)自身に配線膜71A, 71Bを形成し、その先端に金属パンプ(はんだ)72A, 72Bを設け、このLSIチップを配線基板74に接続する方法が記されている。また、この提案では上記チップを接続前または接続後にスペーサと称する膜73(PiQ:有機物の膜)を除去し、前記配線膜及び金属パンプで熱変動歪(本文より)を吸収すると記されている。

しかし、この提案では以下の(1)~(4)のことが不

明であるばかりでなく、後述するように水平の特定方向に伸び性がない欠点がある。

- (1) 配線膜71A, 71Bの形状及び寸法
- (2) 配線膜, スペーサの形成, エッチング条件  
(エッチング液名, 時間など)
- (3) 前記(1), (2)を含めた具体的プロセス条件
- (4) 発明の数量的評価結果

このため、(1)どの程度の熱歪による機械的伸縮(本文より)が生じるとき、そのはんだ破壊を防止するために、配線膜71A, 71Bをどの程度の寸法(幅, 厚さ, 長さ, 全体形状など)に設計すべきか判断できない。(2)この提案を実施するための薬品等の準備、成膜、エッチングなどの作業手順の計画が立てにくい。

さらに、この方法では第17図の配線膜71A, 71Bの形状が矩形であるとすれば同図中の水平の内側方向には伸び性がほとんど無いと言う接続構造上の欠点がある。すなわち、同図のはんだパンプ

72A, 72Bが、たとえばCCBはんだ付け温度(約270~330℃程度)から室温に降下するCCB接続・冷却工程で、配線膜71A, 71Bは図中の内側に向かって激しい引張り(張力)を受けて断線ないしは断線に至る構造上の欠点がある。

また、上記とは別の方法が、天野氏によって提案されている(特開昭62-136830)。その方法を第16図に示す。

しかし、この方法においても、はんだ接続部は水平の特定方向に強い引張応力を受けざるを得ない。すなわち、第16図の導体層80は基板81がチップ発熱等により加熱されることによって水平の外方向に大きく伸びる。しかしLSIチップ83は伸びが小さい。このため、はんだ接続部82は水平の外側に引張られる結果となる。よって、前述の本田氏の方法と同じように水平の特定方向に(方向は本田法と逆方向であるが)張力を生じる構造上の欠点がある。

以上によって、本田, 天野の2氏の方法は水平の特定方向について張力緩和の考慮がされていない

接続構造上の欠点がある。

(発明が解決しようとする課題)

以上、前に述べたように、LSIチップを電気的に接続し、超高速電子計算機などの高級電子装置を実装・組立てる産業分野において、(1)論理LSIのように多数の接続端子を有するLSIチップを(2)多数かつ高密度に連続して設置し、(3)しかもその接続部をあらゆる方向に柔構造に接続する必要がある。これに対し、従来接続技術の欠点及び不足しているところをまとめると以下のように要約することができる。

1. ワイヤボンディング法及びTAB法は前記(1)～(2)の要求を満たすことができない。
2. CCB法は前記(3)の柔構造接続の要求を満たすことができない。
3. エールフェルト氏の提案(特開昭61-110441)では垂直方向に自由性若しくはばね性を有しない。
4. 本田及び天野氏の提案(特開昭57-121255及び62-136830)では水平の特定方向に十分

する実装用配線基板とLSIチップの熱膨張係数が異なるために生ずる不都合を克服することを要するすべての電子機器、電子装置に適用できる。

本発明はその目的を達成するために、次に述べる複数の克服すべき困難な条件とその困難を克服するための複数の発明的技術要素からなりたっている。

以下に克服すべき困難条件、すなわち本発明の目的を達成するために解決すべき技術課題をまとめてみる。

(課題)

- (1) 実装するLSIチップを電気的に接続するに、そのチップを接続するための配線によって、配線接続に要するスペースがそのチップサイズより水平方向に拡大されないこと。
- (2) (1)の条件を満たした配線接続方法によって、接続するLSIチップの端子と垂直方向にはほぼ対向して設けてある配線基板の端子とを電気的特性の損失を最小限にとどめて接続すること。
- (3) 前記(1)及び(2)の条件を満たし、上記接続部ない

な自由性ないしはばね性を有しない。

5. さらに、上記エールフェルト氏の方法では、その実施に多くの困難が伴う。

以上により、本発明の第1の目的は上記1～5の問題を解決することにある。すなわち、簡素化された工程で、LSIチップを柔構造に接続する方法及び水平、垂直のあらゆる方向に自由変形性ないしはばね性を有する接続構造とこれを実施するに必要な技術的条件を提供することにある。

また、本発明の第2の目的は本発明の第1の目的によって達成された柔構造のチップ接続法により接続されたLSIチップ搭載基板を用いることによって、電子計算機等の組立てや、冷却部構造の簡素化を図ると共に、その電子装置のLSIチップ接続部が電子装置の稼働・停止操作等によって冷熱サイクルを受けても、熱応力によってLSIチップのはんだ接続部が破壊しない電子装置を提供することにある。

また、本発明の柔構造接続法は超高速の大形電子計算機をはじめ、LSIチップを高密度に実装

しは接続構造はすべての水平方向及び垂直方向に柔軟性ないしはばね性を有すること。

- (4) 前記(1)、(2)及び(3)の条件を満たし、LSIチップと配線基板の接続において、チップの1端子につき、1ヶ所の接続点で接続が完結すること。
- (5) 前記(1)、(2)、(3)及び(4)の条件を満たし、その接続方法を容易に実行できる技術的手段を開発し、確立すること。
- (6) 前記の各項を満たすことによって、LSIチップを接続・実装した基板を搭載した電子装置の前記接続部は冷熱サイクルに耐える電子装置が得られること。
- (7) 前記電子装置を組立てるに際し、前記接続方法を用いることによって、その電子装置の組立構造が複雑にならず、むしろ簡素化の効果のあること。
- (8) 前記各項のすべてを満たすためのLSIチップの接続方法及び構造並びにそのLSIチップ実装基板を電子装置に収納ないしは組立てるに好適な当該部分の構造を有する電子装置であるこ

と。

〔課題を解決するための手段〕

上記の課題を解決するため、本発明では次の方針で当った。以下、具体的解決手段を述べる前に、前記した個々の課題に対し、本発明を生む至った開発方針を述べる。

〔方針〕

課題(1)に対して

接続するチップサイズより接続部を平面的に拡大させないために接続のための媒介物体(以下、本発明はこの接続媒介物体をマイクロリードと呼ぶ)は水平方向にチップの大きさの範囲内の位置に設けた構造とする。このマイクロリードは先に述べたTAB法のリードとは設置位置範囲が異なる(TAB法はチップの大きさの範囲外にリードが伸びて設置されている第21図参照)。

課題(2)に対して

前記マイクロリードは電気伝導性のすぐれた金

属を用いると共に、垂直方向にはほぼ対向して設けてある配線基板の端子に向って立体的に接続する構造を用いる。

課題(3)に対して

前記マイクロリードはあらゆる水平方向に柔軟性ないしはばね性を有しせしめるため屈曲ないしは旋回した形状とし、垂直方向に柔軟性ないしはばね性を有しせしめるためマイクロリードは空間に浮いた状態の構造とする。

課題(4)に対して

前記マイクロリードはその一端が配線基板側のスルホール導体ないしは導体電極部より接合して形成されていること。

課題(5)に対して

上記(1)~(4)の構造を有する、たとえば、マイクロリード付配線基板は通常の成膜法、めっき法、エッチング法などの工程と通常の金属材料の組合せによって作成可能とする。

以上、ここまでを達成するための具体的手段を説明する。

〔具体的手段〕

第12~14図は上記に提案したマイクロリードの形状例を示したものである。ここでリードの厚さ(高さ)寸法は水平方向(横方向)以下とすることが垂直方向に適度の(過不足のない)ばね性を有しせしめること及びエッチングによってマイクロリードを容易に形成(後説)するための寸法的条件である。

いま、マイクロリード材料としてCuを想定し、第12図に示す形状のスパイラル状(ライン幅50 $\mu$ m, スペース幅50 $\mu$ m, スパイラル径300 $\mu$ m $\phi$ , 厚さ20 $\mu$ m)のマイクロリードを使用した場合の効果(はんだ接合部の寿命)について有限要素法及び接合はんだ寿命推定式によって推定してみる。

設定条件

(1) 使用部品の熱膨張係数( $\alpha \times 10^{-7}/^{\circ}\text{C}$ )及び寸法

L S Iチップ……… $\alpha = 30$  (0~80 $^{\circ}\text{C}$ )

寸法=10 $\times$ 10mm ( $L = \frac{\sqrt{2}}{2} \times 10$ )

配線基板……… $\alpha = 170$  (0~80 $^{\circ}\text{C}$ )

寸法=10 $\times$ 10mm (接続部,  $L = \frac{\sqrt{2}}{2} \times 10$ )

(2) 使用温度範囲及び冷熱サイクル時間

0 $^{\circ}\text{C}$ ~80 $^{\circ}\text{C}$  (4T), 1サイクル/1日

上記の条件によって算出した結果を第11図に示す。(ただし、はんだのヤング率は317 $\text{kg}/\text{mm}^2$ , Cuのヤング率は6000~12000 $\text{kg}/\text{mm}^2$ を仮定した。)

第11図に示すマイクロリードのばね定数は垂直(z)方向に29~57 $\text{g}/\text{mm}$ , 水平(x, y)方向に100~380 $\text{g}/\text{mm}$ である。

また、冷熱によるチップと配線基板間の変位量差 $\Delta y = 8\mu\text{m}$ , はんだ接続部の最大相当歪 $\Delta \epsilon_{eq} = 0.3 \sim 0.5\%$ で、これからはんだ接続部の寿命は2~49年と推定できた。

以上によって、耐用年数は十分であり、マイクロリードを使用しない場合の寿命持続不可能と比較し、効果のあることを予測できる。

なお、上記の耐用年数は第20図で示した斜線(1)の冷熱サイクル条件であり、通常の冷熱使用条件では上記耐用年数は2~3倍に延長される。

また、電気特性については上記とは別途に解析した結果、自己インダクタンスが0.42nH(ナノヘ

ンリー)以下、抵抗は約 $12\text{m}\Omega$ 以下で、電気的接続媒体として、特に支障はない。

以上によって、Cuなどの導電性のすぐれた金属を材料に用いて、空中に浮いた状態(但し、一方の端は固定してよい)のスパイラル状(うず巻き状または旋回状)のマイクロリードを介してLSIチップと配線基板を接続することによって、本発明の意図する柔構造接続の基本的構造を得ることができる。

以下、前記マイクロリード構造(寸法、形状、浮いた状態)を作成する方法について概説する。

まず、前記マイクロリード群(多数)はLSIチップの大きさ、たとえば $10\text{mm}^2$ のチップなら $10\text{mm}^2$ 内に設けることである。

上記マイクロリードとして使用される材料は、通常の導電性良好な金属であればいずれでもよいが、熱膨張係数、ばね性(弾性率)、繰返しの変形に耐えること及びエッチング等の加工性を考慮すると好ましくはAl、Cu、Au、Ni、Cr等の金属である。

によって容易に作成できる。この製法の詳細は実施例で述べる。なお、本明細書では前記空隙部形成用膜材を前述のようにリフトオフ材料、その膜をリフトオフ膜ないしはリフトオフ層と呼ぶ。さらに、本発明のマイクロリード付配線基板の製法において、上記リフトオフ材料の選定が重要である。本発明ではマイクロリードにCuを使用した場合、以下のリフトオフ材料などをあげることができる。本発明のリフトオフ材料はマイクロリードに使用する材料より溶解しやすければよい。

- (1) AlまたはAl-Si
- (2)  $\text{MgO}$
- (3)  $\text{CuO}$
- (4)  $\text{AlN}$
- (5)  $\text{B}_2\text{O}_3$ - $\text{SiO}_2$ 系ガラス
- (6) 有機溶剤にとける有機物質

上記のリフトオフ材料で、(1)~(5)はCu金属が溶けにくいアルカリ性薬品に容易に溶け、(6)は温水及び有機溶剤に溶ける。その結果、Cuを用いマイクロリードをエッチングで形成したのち、Cu

次に上記マイクロリードの一端が配線基板に直接接合された状態で、かつその他端は空間に浮いた状態に形成する方法について説明する。この方法は発明者らが本発明のために行なった種々の実験によって明らかとしたものである。

第9及び10図は上記方法の原理図である。

その方法は、第9図の配線基板6のスルホール導体4とマイクロリードが接合されるコンタクトホール部を通し、スルホール導体と密着接合する金属16を介してマイクロリード自体を形成する金属層18と、これを支えるリフトオフ層14の材料層からなり、エッチングによって前記マイクロリードの形成時ないしは形成したのち、これを支える材料層14を除去することによって作成する。(第9及び10図のC)

すなわち、本発明の空間に浮いた構造を有するマイクロリードは配線基板上にマイクロリードに使用する金属(たとえばCu)より薬品等で溶け易い空隙部形成用膜を施したのち、その上にマイクロリードをメッキ及びエッチングで形成すること

の溶けにくいアルカリ溶液ないしはCuの溶けない温水及び有機溶剤でリフトオフ膜を除去できる。すなわち、マイクロリードはこの工程によって、その一端を配線基板の導体部に結合したまま空間に浮いた状態となる。本発明はこの好良な選択エッチング工程及び条件を見出し、採用することによって可能であった。

また、上記マイクロリードを配線基板のスルホール導体に接合するために使用する金属は次のものをあげることができる。

- (1) NiまたはNi合金
- (2) AuまたはAu合金
- (3) CrまたはCr合金

上記の金属は接合するマイクロリード及び配線基板のスルホール導体の金属の種類によって選択するが、相互になじみやすい金属ならばいずれでもよい。これらの接合用金属はスルホール導体がWやMoの場合、きわめて有効である。

さらに、マイクロリードに使用する金属は良好な導体ならば使用可能であるが、たとえばCuを使



用した場合、これにCrなどでサンドイッチ状に包むことによって他の効果が得る。これについては実施例で述べる。ここでその効果の1つだけ述べると当該マイクロリードにLSIチップをはんだ付けによって接続する際のはんだダムの役目をする。すなわち、はんだバンプとして設けてあるAu22ははんだときわめてぬれ易いのはんだ付けが容易にできる。

一方Au以外のCr19部ではCrがはんだとぬれないため、目的外のところにはんだが附着しない役目をする。

なお、前記の接合用金属は第10図に示すようにスルーホール導体がCuでかつマイクロリード材料としてCuを用いる場合は、必ずしも用いる必要はない。この場合は前記はんだダム用のCr19の代りAuバンプ以外のマイクロリードCu表面を配化被膜26で覆うことによってその役目を果させることができる。この方法についての詳細は実施例で述べる。

以上に述べた具体的技術手段を用いることによ

成することができる。

以上の方法によって、容易にマイクロリード付配線基板を得ることができる。次にこれを用いたLSIチップの接続法について説明する。

前記の方法で作成したマイクロリード付配線基板のリード端部(LSIチップ接続部第12図の8)とLSIチップの接続端子部にすでに設けてあるはんだボール(第25図参照)とをハーフミラーを用いて位置合せし、通常のフェースダウンボンディング法によってLSIチップを接続する。このときの接続温度はLSIチップに設けてあるはんだの融点から200～330℃で行なう。

以上によってLSIチップを配線基板のマイクロリードに接続した状態を示したのが第5図である。同図はその一部分の断面図を示したもので、6が配線基板、4はスルーホール導体、7がマイクロリード、24が空隙部、10がはんだ、11がLSIチップを示す。

以上によって、先に述べた課題(1)～(5)を達成することができる。

り、本発明の最初の部分であるマイクロリード付配線基板は次の工程をとることによって得ることができる。

すなわち、少なくとも電子部品が搭載される面に電極群が形成された多層配線構造体から成る配線基板を準備する工程；前記配線基板上の全面にリフトオフ材被膜を形成し、導体接合部のコンタクトホールを作る工程；前記電極上を含み全面にマイクロリード形成用導電層を設ける工程；次いで前記マイクロリード形成用導電層上にレジスト膜を形成し、屈曲ないしは旋回したうず巻状のマイクロリードパターンマスクを前記電極上にあらかじめ定められたマイクロリードの一端が位置するように配置して、露光、現像処理することによりマイクロリードのレジストパターンを形成する工程；上記レジストパターンをマスクとして前記マイクロリード形成用導電層をエッチング加工する工程；次いで前記リフトオフ膜及びレジストパターンを溶解除去する工程を有することを特徴とする方法によってマイクロリード付配線基板を作

次に、先に述べた課題(6)すなわち、上記LSIチップの接続部の冷熱サイクルに対する耐久性である。これは先に述べた応力解析及び今後の実施例で述べる冷熱サイクル試験結果から証明することができる。

以上の方法で本発明の第1の目的を達成することができる。また第2の目的は第1の目的である柔構造接続法を完成することによって達成される。すなわち、第2図の(b)において冷却体の放熱スタッドを省くことができる。この第2図の(b)においてマイクロリード7は垂直方向にはね性を有する。このため、LSIチップ11の背面は冷却体12の壁面に完全に押しつけ密着できる。その結果、放熱スタッド(第19及び24図参照)を省略することができる。

〔作用〕

前記のマイクロリード付配線基板ではLSIチップと配線基板との熱膨張係数の差が大きく異なってもはんだ接合部に生じる熱応力を減じることができる。すなわち、いま第2図(b)に示すように

上記マイクロリード付配線基板6を用いて、マイクロリード7を介し、LSIチップ11の電極(図示せず)をはんだ10で接合した。この場合、配線基板6は熱膨張係数が大きく、LSIチップ11は小さい。このため、LSIチップが搭載され、電氣的に接続された配線基板(以下、モジュールと略称)が稼動することによってLSIチップが発熱し、高温(〜80℃)になった場合、基板側はLSIチップより大きく伸びる。その結果、LSIチップと基板間に変形変位差が生じる。

従来、この変位差によって、LSIチップのはんだ付部が破壊された。しかし、本発明によるマイクロリード付配線基板ではその変位分だけマイクロリード自身がX及びY方向ないしは水平のあらゆる方向に変形し、応力を緩和することができる。また、このマイクロリードは垂直(Z)方向にもばね性ないしは変形し得るため、LSIチップの背面(上側)に設置した冷却体12にチップを完全に密着することができる。その結果、LSIチップ冷却の効果を十分に確保でき、従来提案された

複雑な構造からなる放熱スタッドを省略でき、冷却体を簡素化できる。

さらに、本発明では配線基板の導体部から直接マイクロリードの一端が発生している構造である(第2図(b)9参照)。それ故、チップ1端子につき1個所のはんだ10の接合でLSIチップの接続が完了する。

(実施例)

以下、本発明の実施例を第1図〜第15図及び第1〜2表を用いて説明する。

実施例1. 配線基板上のマイクロリードの形成:

その1

第1図は、マイクロリード付配線基板を形成する出発点となる基板本体6の構造を示した断面図である。この例では、アルミナ系セラミックスをベース層2dとし、その上にポリイミド系耐熱性樹脂を層間絶縁層2a, 2b, 2cとした多層構造から成る基板本体を示したものであり、セラミックスのベース層2dの裏面には、信号入出力、給電、アース等の外部端子ピン5が植設され、そ

の表面には配線パターン3cが、そして内部にはスルーホール導体4がピン5と表面回路パターン3c及びその上層2a, 2b, 2cの各回路パターン3a, 3b、スルーホール導体4と電氣的に接続されている。すなわち、これら層間絶縁層2b, 2c表面には同じく面方向に回路パターン3a, 3bが、そして内部には上, 下層の回路を相互に結ぶ垂直のスルーホール導体4が設けられている。最上の絶縁層2aの表面1にはマイクロリードが接続される電極41が露出し、この電極41は内部スルーホール導体4を通して下層の回路パターン3a, 3b, 3c、スルーホール導体4とそれぞれ電氣的に接続されている。なお、回路パターン3, スルーホール導体4, 外部露出電極41は、いずれも銅(Cu)で形成した。

次に、この配線基板本体6の電極41上にマイクロリード7を形成するプロセスを第3図(a)〜(i)の工程図を用いて説明する。同図は、基板6の上部表面1附近のスルーホール導体4の設けられた部分の拡大断面図を示している。ここで第3図(a)は、

上記配線基板6を作成した直後、スルーホール導体4の上部先端部のCu表面露出面電極41が酸化される前にこの電極41上にマイクロリード接合材としてNi膜13を約0.3μmの厚さに形成した工程図である。

このNi膜13は配線基板のスルーホール導体4の露出電極41位置に合わせて設けた穴のあるマスクを用い、スパッタリング法によって形成した。このスルーホール導体径は約100μmでマスク径はそれよりやや大きめの110μmとした。

次に第3図(b)に示すようにスパッタリング法によって、リフトオフ材としてAl膜14を約5μmの厚さに配線基板の全面にわたって形成した。

次に耐アルカリ性のレジスト(図示せず)をリフトオフ材14の上に塗布・乾燥し、フォトリソ法でNi膜13上の部分のレジストを除去した。つづいて、8% (重量パーセント、以下同) に調整したNaOH水溶液2mmでNi膜13上のリフトオフ材14のAl膜を除去し、コンタクトホール15をあけたのち水洗・乾燥して、第3図(c)に示した状態の

配線基板を得た。

次に第3図(d)に示したように前記配線基板上にCr膜16を1000Å、Cu膜17を2μmの厚さに全面にわたってスパッタリング法で形成した。

さらに、このCu膜上に電気めっき法でCuの厚さを20μmまで厚くしたCu膜層18を形成したのち、Cr膜19を1000Åの厚さにスパッタリング法で形成した。このときの状態を第3図(e)に示す。

すなわち、ここではCr-Cu-Crはサンドイッチ状態であり、これらは前述のスルーホール導体上部表面に施したNi膜13と接合して、配線基板上に全面にわたって形成された状態にある。このCr-Cu-Crの厚い膜はあとで述べるエッチングによって、マイクロリード自体を形成するための導体層とするものである。また、マイクロリードがカールするのを防止できる3層構成とした。

なお、上記に形成したNi、Al、Cr、Cuのスパッタリング法による膜形成条件は約0.2PaのAr気流中の圧力下で、Cuめっきはピロりん酸銅水溶液を用いた電気めっき法で行なった。これらの諸設備及

レジスト20を塗布・乾燥する。

次に第12図のマイクロリードパターン7の導体接合部9の円中心と配線基板のスルーホール導体4の露出電極41との円中心を合せ、第12図のマイクロリードパターン7全体を描き、チップ接続部8に相当する位置及びサイズで(点線で仕切りを付した円形：約110μmφ)、第3図(f)に示したレジスト膜20の一部分21を除去した。なお、この工程は、第12図のマイクロリードパターン端部8の描かれたマスクパターンを介して露光し、現像により穴21を設けたものである。

次に同部分のCr膜19を16.6% Ce(NO<sub>3</sub>)<sub>4</sub>・2NH<sub>4</sub>NO<sub>3</sub>水溶液を用い、室温で約2mmエッチング除去したのち、通常の電気めっき法で第3図(g)に示したようにAu膜22を形成し、レジスト膜20を除去して、第3図(h)に示す状態の配線基板を得た。

次にマイクロリード7を形成すべく、第3図(h)のAu膜22及びCr膜19の全面に水溶性ネガ型レジストを塗布・乾燥した(図示せず)。

次に第12図に示したマイクロリードパターンの

び諸条件は現在ではごく通常に行なわれている工業技術であり、容易に再現可能である。

以上によって準備した配線基板上のCr-Cu-Cr膜の残留応力を除去するため、200℃で0.5hアニーリングした。

次に上記Cr-Cu-Cr膜をエッチングによってマイクロリードを形成したとき、チップ接続部(第2図及び第12図の8)の位置にあたる部分にAu層を施すための工程に移る。このAu層はLSIチップ11を接続するためのはんだとの濡れ性を良好にすると共に、このコンタクト部分が空気中で表面酸化することを防止するためのものである。また、上記Cr-Cu-Cr膜において、CrはAuに比べ、はんだに濡れにくい。

このため、接続作業中にはんだが接続部外のリード部に流出し、余分な部分まではんだが付着することを防止(はんだダム)するために有効である。以下、Cr-Cu-Cr膜上のLSIチップ接続部8のみにAu膜を設けるための工程を説明する。

まず、第3図(e)のCr膜19上にAuめっき用ポジ型

チップ接続部8と前記Auめっき膜22の円中心とを位置合せし、またスルーホール導体接合部9とスルーホール導体4の露出電極41との円中心を位置合せし、第12図にその一部分を示したマイクロリードパターンをマスクとして、露光、現像によりパターン群を描き、それ以外の前記レジストをフォトリソエッチング法で除去し、マイクロリードパターンの描かれたレジストパターンを形成した。

次に前記レジストパターン形成によって露出したCr-Cu-Cr膜を初めに16.6% Ce(NO<sub>3</sub>)<sub>4</sub>・2NH<sub>4</sub>NO<sub>3</sub>水溶液、2mmでCr膜を、つづいて38% FeCl<sub>3</sub>(塩化第2鉄)水溶液で50sec Cu膜を、さらに前記硝酸セリウム水溶液でCrをそれぞれエッチング除去し、第12図にその一部分を示したマイクロリード群を形成した。すなわち、Cr-Cu-Cr膜はマイクロリード全体に相当する部分は残し、それ以外の部分はすべてエッチングによって除去した。23はその除去された空洞部分を示す。

次に用済みとなった前記マイクロリード耐エッチング用のレジストパターン(図示せず)を、約

pH10.5に調整したNaOH水溶液で除去し、つづいて15.3%のNaOH性溶液、55℃、85mmでリフトオフ層のAl14をエッチング除去したのち水洗・乾燥して第3図(i)に示したマイクロリード付配線基板を得た。この図において、4はスルーホール導体、7はマイクロリード、24はマイクロリードと配線基板の間にあったリフトオフ層14のAl膜を除去したことによって形成されたマイクロリードと配線基板間の空隙部を示す。

以上によって得た本発明の主製部の一つであるマイクロリード付配線基板の諸元は以下のとおりである。

(1) マイクロリードの寸法

リード帯幅	.....	50 $\mu\text{m}$
リード帯厚さ	.....	約 20 $\mu\text{m}$
リード間ピッチ	.....	450 $\mu\text{m}$

(2) マイクロリード数

1チップ接続当り.....1000個

この寸法のマイクロリードの水平方向のばね定数は450 $\mu\text{g}/\text{mm}$ 、垂直方向のばね定数65 $\mu\text{g}/\text{mm}$ である

法により、スルーホール導体4上のAl膜14部分のレジストを除去したのち、8%に調整した水酸化ナトリウム(NaOH)溶液でスルーホール導体4上のAl膜14を除去し、水洗・乾燥して第4図(c)に示す状態のコンタクトホール15を形成する。なお、このコンタクトホール15の径は約110 $\mu\text{m}$ である。

ついで、配線基板上的Al膜14上の残部のレジストを除去したのち、ピロりん酸銅めっき液中に入れ、第4図(d)に示すように電気めっき法で銅膜18を約20 $\mu\text{m}$ の厚さでAl膜14上の全面に亘って形成する。このとき、コンタクトホール15中のスルーホール導体4と銅膜18とは接合面9で直接接合される。

このようにして、銅膜18を形成した配線基板6を水洗・乾燥したのち、銅膜18が酸化しない間に銅膜18上にポジ型レジスト20を塗布し、マイクロリード7のはんだ接合部8の位置に相当する部分のレジスト20を径約110 $\mu\text{m}\phi$ の円形状に除去する。

ついで、レジストが除去され銅膜18が露出した部分上に通常の電気めっき法で第4図(e)に示すよ

本発明の実施例に係るマイクロリードの寸法は、上述の例に限ることはなく、以下の寸法範囲が好ましい。

厚み10~40 $\mu\text{m}$ 、幅40~70 $\mu\text{m}$ であり、ばね定数については水平方向300~600 $\mu\text{g}/\text{mm}$ 、垂直方向40~90 $\mu\text{g}/\text{mm}$ であり、接続点の密度は600~1200個/10 $\text{mm}^2$ である。

実施例2. 配線基板上的マイクロリードの形成:

その2

本実施例は本発明の変形応用例である。第7図に示したアルミナ基板42にスルーホール導体4を垂直に設ける。これは穴あきのアルミナ基板にCu導体ペーストを用い焼成して作成した。

これでのマイクロリードの形成方法は、第4図(a)に示すように、上記のようにして形成された配線基板42の上部表面1の全面に第4図(b)に示すようにスパッタ法によってリフトオフ材料としてAl膜14を約6 $\mu\text{m}$ の厚さで形成する。

ついで耐アルカリ性のレジスト(図示せず)をAl膜14の上面に塗布、乾燥し、フォトリソグラフィ

うに初めにNi層25を約0.5 $\mu\text{m}$ の厚さで形成したのち、Au(金)層22を1 $\mu\text{m}$ の厚さで形成する。

ついで、第14図に示すマイクロリード7を形成するため、配線基板42上のCu膜18上の残部のレジスト膜を除去したのち、あらたにネガ型レジストを塗布・乾燥し、第14図に示す形状をした多数のマイクロリードパターン群を露光したのち、その他の部分のレジストを除去する。ここで、一方のスルーホール導体4との接合部9は、スルーホール導体4の円中心と一致させ、他のはんだ接合部8は金層22の円中心と一致させる。

ついでネガ型レジストによって保護された以外の銅膜18の露出部を塩化第2鉄水溶液( $\text{FeCl}_2 \cdot \text{cL}^-$  35 $\mu\text{g}/\text{L}$ )のエッチング液を用いて、第4図(f)に示すようにマイクロリード7をエッチング形成する。

ついで、水酸化ナトリウム水溶液を用いてAl膜14を溶解除去して第3図(g)に示すように、マイクロリード7と配線基板42との間に空隙24を形成したのち、水洗・乾燥した。

ついで、配線基板42を空気と酸素との混合気流

中で約 200℃、10 分間加熱して第 3 図(h)に示すようにマイクロリード 7 の金属 22 以外の表面 26 のすべてを酸化させる。このとき、銅膜表面の光沢が薄れ、銅膜表面が酸化されたことがわかり、これによってマイクロリード付配線基板を作成した。またこのようにして作成したマイクロリード付配線基板の諸元はつぎのとおりである。

(1) マイクロリード寸法

リード帯幅 ..... 50 μm  
 リード帯厚さ ..... 約 20 μm  
 リード間ピッチ ..... 300 μm

(2) マイクロリード数

1 チップ接続当り..... 1225 個

実施例 3. L S I チップの接続：その 1

以上のプロセスにより実施例 1 で用意したマイクロリード付配線基板のリード端部 (L S I チップ接続部 8) と L S I チップの接続端子部にすでに設けてあるはんだボール 10 とをハーフミラーを用いて位置合せし、通常のフェースダウンボンディング法によって L S I チップを接続した。この

す。この第 1 表は従来の C C B 法によるはんだ付けのみの方法と本発明の主要部の一つであるマイクロリード付配線基板を用いた方法との相違点、効果をまとめて示したものである。

その結果は、本発明の主要部の一つであるマイクロリード付配線基板を用いることによって、α 差が大きく異っていても、冷熱サイクル環境にはんだ接続部が十分耐えることが判った。

以上の結果、本発明の第 1 の目的を達成した。

第 1 表

項目 接続方法	ばね性	L S I チップと基板との α 差*の許容性	はんだ接合部 冷熱試験**
従来法 (はんだ付けのみ)	なし	~35	破損あり***
本発明実施例	X, Y, Z 方向にあり	~130	破損なし

\* 熱膨張係数 (×10<sup>-7</sup>/℃)

\*\* -50~+150℃、10<sup>4</sup> サイクル

\*\*\* α 差 40×10<sup>-7</sup>/℃ での実験結果

ときの接続温度は L S I チップに設けてあるはんだの融点から瞬間ピーク温度 300℃ で行なった。

以上によって L S I チップ 11 を配線基板のマイクロリード 7 に接続した状態を示したのが第 5 図である。同図はその部分断面図を示したもので、6 が配線基板、4 はスルーホール導体、7 がマイクロリード、24 が空隙部、10 がはんだ、11 が L S I チップを示す。

実施例 4. L S I チップの接続：その 2

L S I チップの接続はリフトオフ層を除去する前にすることもできる。ただし、その場合はリフトオフ材料を有機溶剤にとける有機物ないしは水または温水にとける物質を使用することが好しい。

第 15 図はその 1 例であり、リフトオフ材にトリクレンに可溶な耐熱性の有機レジストを用いた。

実施例 5. 冷熱サイクル試験

前記実施例 3 及び 4 で接続した L S I チップ接続済の配線基板を熱衝撃試験機室内 (チャンバー) に入れ、-50℃~150℃、1 時間 1 サイクルの速度で冷熱試験を行なった。その結果を第 1 表に示

実施例 6. ばね性試験

前記実施例 3 及び 4 で接続した L S I チップについて、マイクロリードのばね性の試験を行なった。その結果、1 チップ当り垂直 (Z) 方向に実施例 3 の試料で 28.8N/mm、実施例 4 の試料で 30.1N/mm であった。

以上の結果、本発明の第 2 の目的を達成できる要素、すなわち垂直方向にはばね性の有することが判った。よって、以下に本発明の第 2 の目的である前記垂直方向にはばね性を有する L S I チップ接続済基板を用いた電子装置組立の簡素化を実施する。

実施例 7. 電子装置の組立て：その 1

前記実施例 3 で用意した L S I チップ接続済のマイクロリード付配線基板を用い、大形電子計算機の中央制御装置 (CPU) の実装組立てを行なった。この論理演算部においては多数のモジュール (ここでは実施例 3 で L S I チップ 25~100 個接続した 1 基板を 1 モジュールと呼ぶ) を実装・搭載する。

第 6 図は上記のモジュールをボード 30 に多数実

装したうちの1モジュールの一部分の断面図である。この第6図でマイクロリード付配線基板6に接続したLSIチップ11の背面は冷却体12の壁面にマイクロリードの有する垂直方向のばね性によって十分に押しつけることができた。このため、冷却体12は従来のようにばね機構の放熱スタッド(第19図及び24図参照)を省略できた。また、そのために冷却体12はその内部に水冷の熱交換効率のよいフィン32を設けることができる。この水冷及びフィンによって、従来の冷却法より数倍以上に熱交換効率が向上した。この第6図で11がLSIチップ、7がマイクロリード、6が配線基板、35がピン5の電気コネクタ、31が冷却水の水路、32がフィン、36が金ろう接合材、33が冷却器カバー、34が冷却水パイプ、30がボード、37がモジュールの電源線を示す。ここで金ろう接合材36を用いる代わりに、LSIチップを接触するだけでも構わない。

以上によって、本発明第2の目的を達成することができた。すなわち、組立てるべき電子装置の

を設ける必要はなく、冷却体の構造、作成が簡素化できた。また、その簡素化に得た餘地にフィン32を設け、これと水冷によってLSIチップの冷却効果を従来の数倍以上に向上することができた。

以上によって、本発明の第2の目的を達成することができた。

〔発明の効果〕

以上によって、本発明はLSIチップなどの電子部品を電氣的に接続するのに水平及び垂直のあらゆる方向にばね性ないしは自由変形性を有しせしめることができると共に、それによって接続したモジュールを用いることによって、電子装置の組立構造を簡素化できる。また、この簡素化によって冷却効果が向上する水冷方式を易容に採用することができた。よって本発明は線熱膨張係数の異なる基板と電子部品の接続及び使用上の長寿命化(耐久性の向上)を図ることができると共に、電子装置組立ての簡素化、冷却の効果を増進させ、電子装置製造産業上において有益である。その有益な数値的比較を第2表に示した。

構造、とくに冷却体の簡素化が実現し、さらに、冷却の効果を増進する方法に改善された。

実施例8. 電子装置の組立て: その2

実施例2で用意したマイクロリード付配線基板を用い第7図に示したようにLSIチップをパッケージを施した。この第7図で6が熱膨張率 $\alpha$ 大の配線基板、7がマイクロリード、42がマイクロリード付配線基板、43がはんだポンプ、10がCCBはんだ、41がパッケージキャブである。

次に上記のコンパクトにパッケージしたモジュールを第8図に示したように大きな水冷器付の筐体内に収めた。この第8図で、11がLSIチップ、41がLSIチップパッケージキャブ、12が冷却体、32がフィン、33が冷却器カバー、31が水路、34が冷却水パイプである。

以上によって、一旦、パッケージしたLSIチップモジュールはその底部に有するマイクロリードによって、モジュール自体の背面(41の上面)が、冷却体12の壁面に十分に押しつけることができた。その結果、冷却体にはばね性の放熱スタット

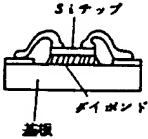
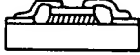
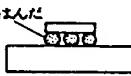
第2表

項目	方法	従来法1*	従来法2**	本 法
水平、垂直のあらゆる方向への自由性		自由性なし	特定方向に自由性なし	あらゆる方向に自由性あり
線熱膨張率の異なる部品の組立てできる許容性		不 向 $\sim 35 \times 10^{-7}/^{\circ}\text{C}$	特定方向に無理がある	可 能 $\sim 140 \times 10^{-7}/^{\circ}\text{C}$
線熱膨張係数が $40 \times 10^{-7}/^{\circ}\text{C}$ 以上異なる場合の接続部の寿命		持続不可 (接続部破損)	特定方向に無理がある	接続可能 $> 10^4$ 回冷熱サイクル
冷却体の組立部品数		放熱スタッドを多数要す	—	従来法1の $1/50 \sim 1/100$
電子部品の冷却効率		約 $4.5^{\circ}\text{C}/\text{W}$	—	従来法1の 数倍 $\sim 10$ 倍
電子装置冷却部の製造コスト		加熱スタッドの加工費大	—	従来法1の $1/5 \sim 1/10$

\* 従来法1: CCB接続法とばね式放熱スタッド組立方式

\*\* 従来法2: エールフェルト、本田、天野氏の接続法

第3表 従来LSIチップ接続方式の  
3大別分類とそれらの特徴

接続方式	ワイヤボンド (W. B.)	テープキャリア (T. A. B.)	フリップチップ (F. C.)
接続構造			
最小ピッチ	135 $\mu$ m	80 $\mu$ m	250 $\mu$ m
接続可能領域	外周のみ	外周のみ	全面
接続端子数	少	少	多
基板側接続領域	大	大	小
実装密度	低	低	高

#### 4. 図面の簡単な説明

第1図は出発の配線基板の部分断面図、第2図は本発明のマイクロリードの形状、接合、チップ接続構造及び冷却体等実装の原理的断面図、第3図及び第4図はマイクロリード付配線基板の製造プロセス図、第5図はLSIチップ接続構造の原理的部分断面図、第6、7及び8図は本発明による電子装置の組立て構造の部分断面図、第9図及

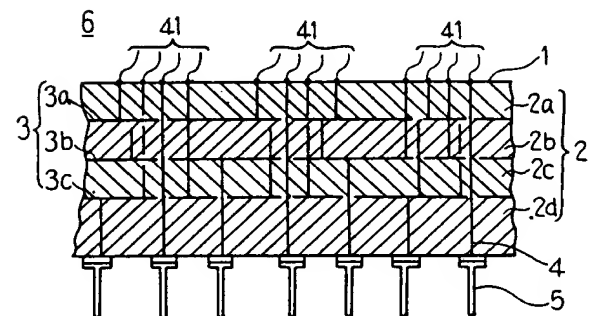
び第10図は本発明の主要部の一であるマイクロリード付配線基板作成方法の原理図、第11図はマイクロリードの応力計算結果図、第12から15図はマイクロリード形状例図、第16から18図は従来提案法のチップ接続法図、第19図は従来法説明図、第20図はCCB接続部寿命限界試験結果図、第21図はTAB法を示す図、第22図はワイヤボンディング法図、第23図はLSIチップ端子数図、第24図は従来電子装置実装図、第25図はCCB法接続原理図である。

#### 符号の説明

- |                 |             |
|-----------------|-------------|
| 1…基板表面          | 2…絶縁層       |
| 3…水平配線          | 4…スルーホール導体  |
| 5…ピン            | 6…配線基板      |
| 7…マイクロリード       | 8…はんだ接続部    |
| 9…マイクロリード接合部    |             |
| 10…はんだ          | 11…LSIチップ   |
| 12…冷却体          | 13…接合金属     |
| 14…ALのリフトオフ層    | 15…コンタクトホール |
| 16～19…マイクロリード材料 |             |

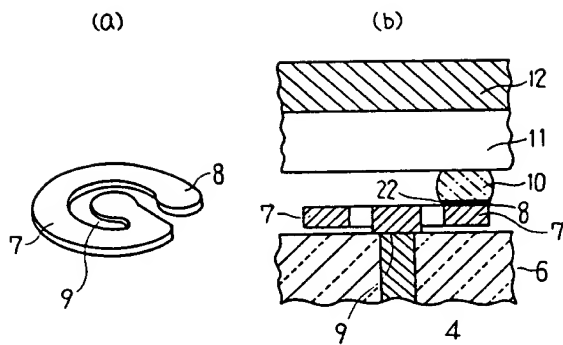
- |              |            |
|--------------|------------|
| 20…フォトレジスト   | 21…レジストホール |
| 22…Auパンプ     | 23…空間部     |
| 24…空隙部       | 26…Cu表面酸化膜 |
| 30…ボード       | 31…水路      |
| 32…フィン       | 33…水冷器カバー  |
| 34…冷却水パイプ    | 35…電気コネクタ  |
| 36…接着金ろう材    | 37…モジュール電線 |
| 41…パッケージキャップ | 42…アルミナ基板  |
| 43…はんだバンプ    |            |

第1図



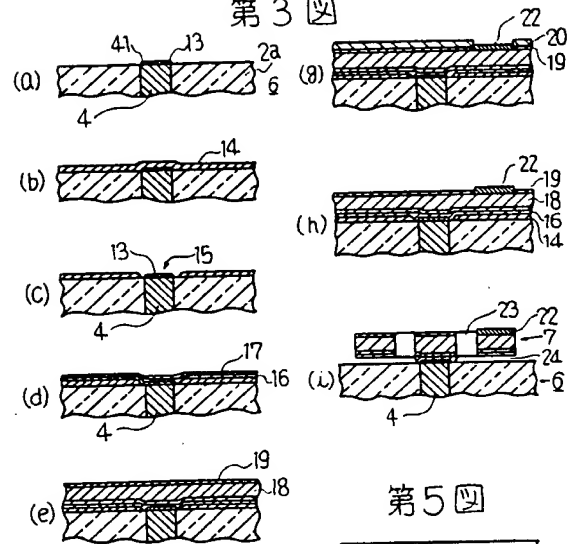
- |          |           |
|----------|-----------|
| 1 基板表面   | 2 層間絶縁層   |
| 3 回路パターン | 4 スルホール導体 |
| 5 外部端子ピン |           |

第2図



- 4 スルーホール導体    6 配線基板  
7 マイクロリード片    8 チップ接続部  
9 スルーホール導体接合部    10 はんだ  
11 LSIチップ    12 冷却体    22 Au

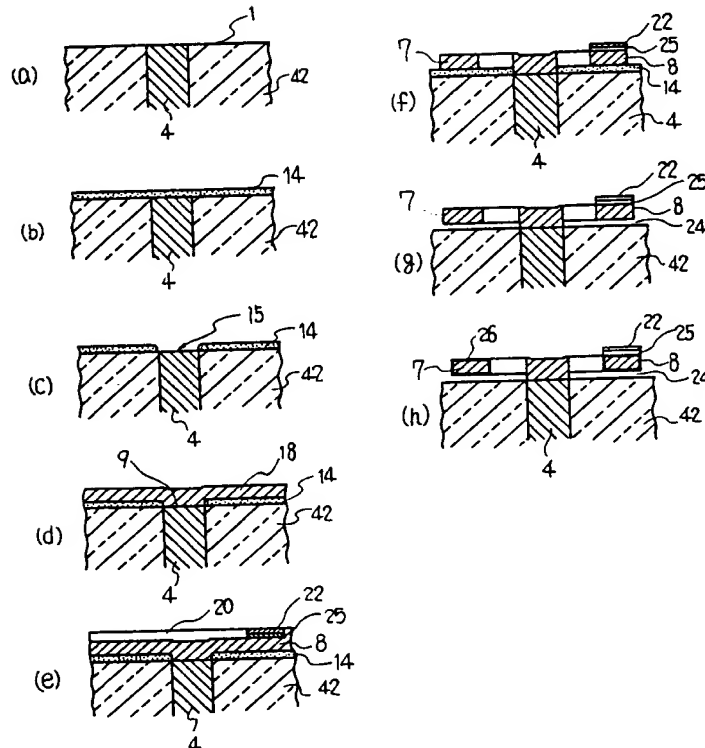
第3図



第5図

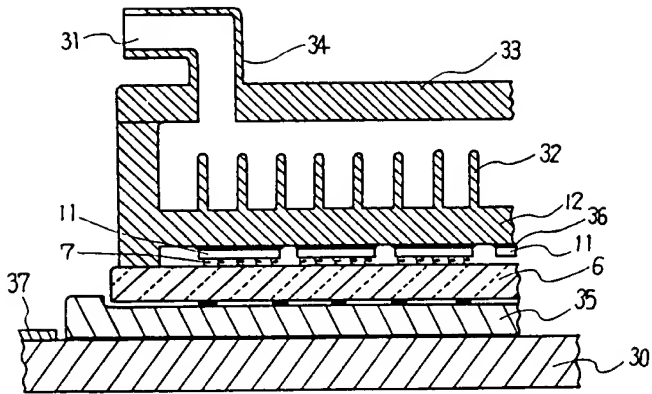
- 7 マイクロリード    13 Ni膜    14 Al膜    16 Cr膜    17 Cu膜  
18 Cu厚膜    19 Cr膜    20 レジスト膜    22 金属

第4図

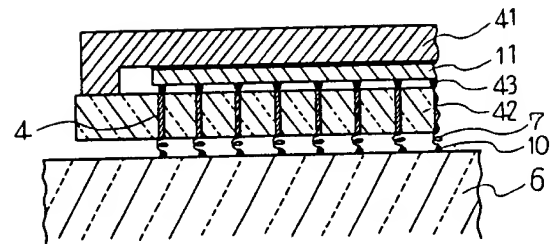




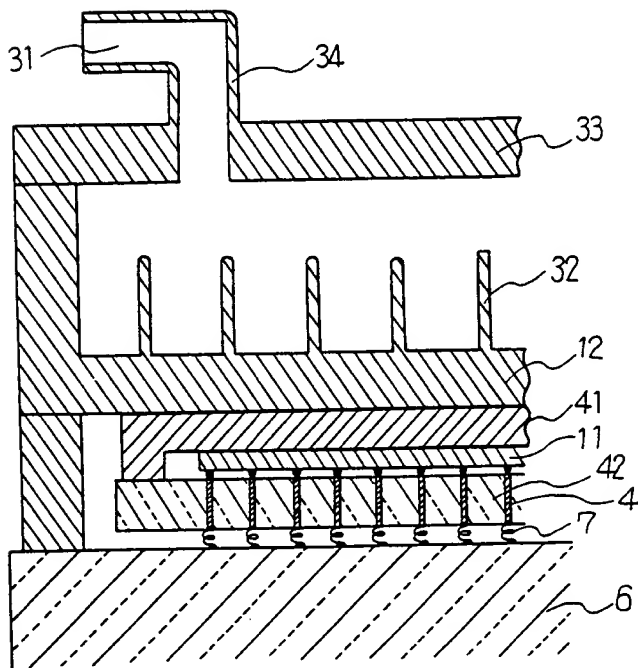
第6図



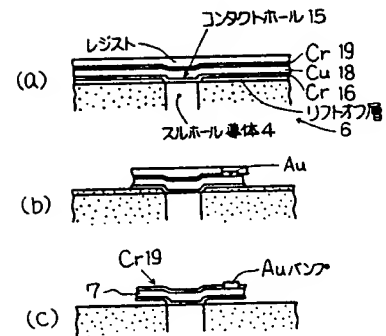
第7図



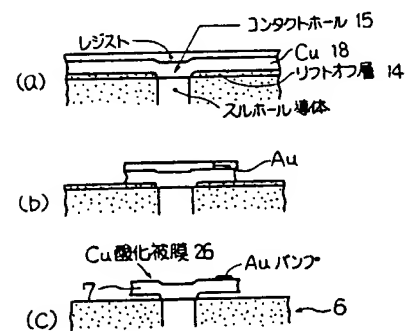
第8図



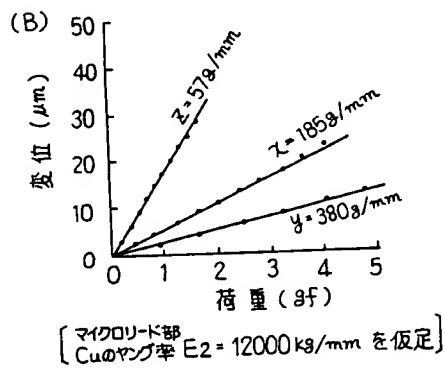
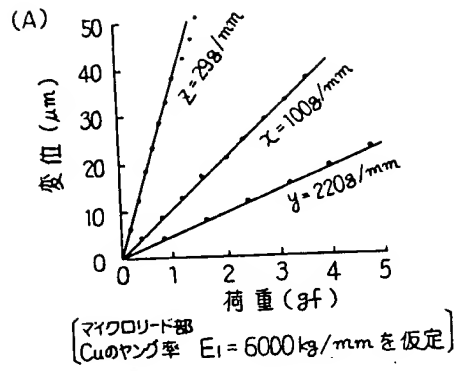
第9図



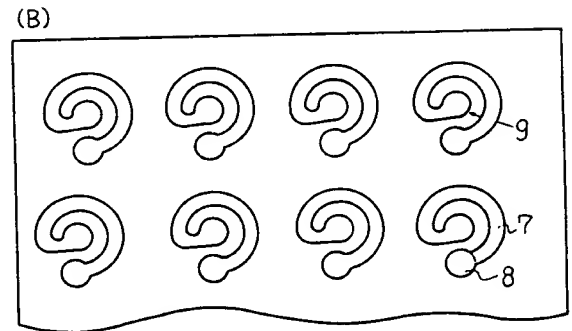
第10図



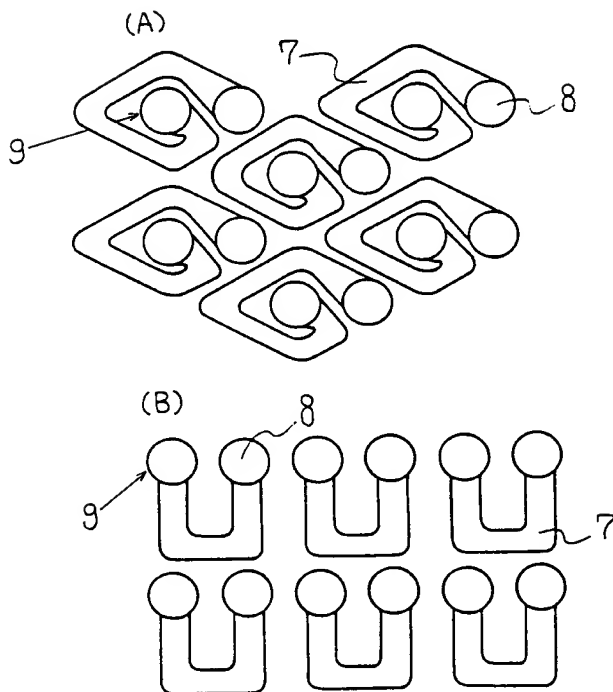
第11図



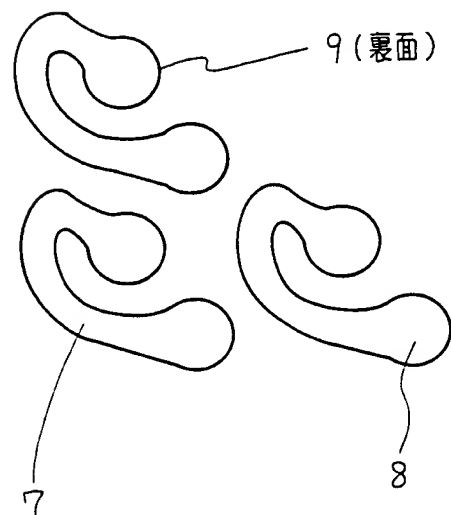
第12図



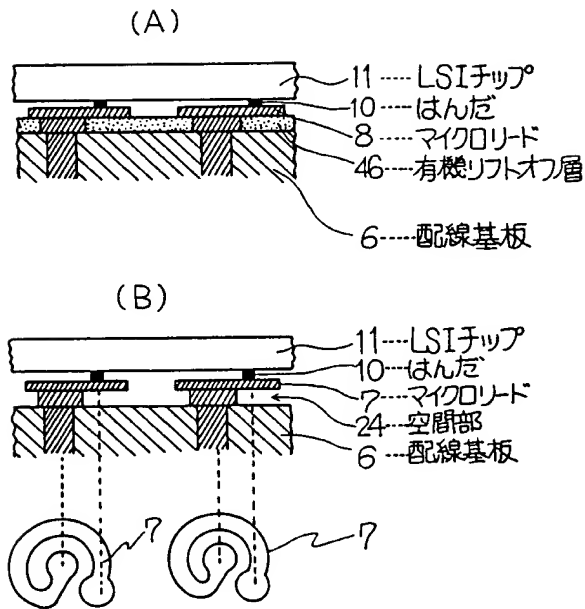
第13図



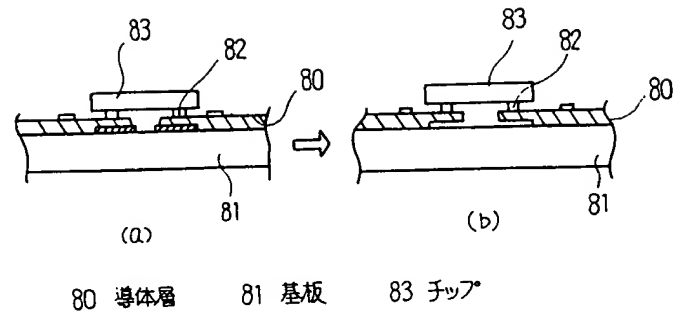
第14図



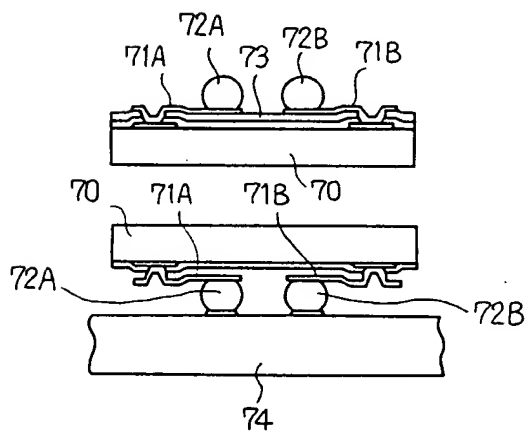
第15図



第16図

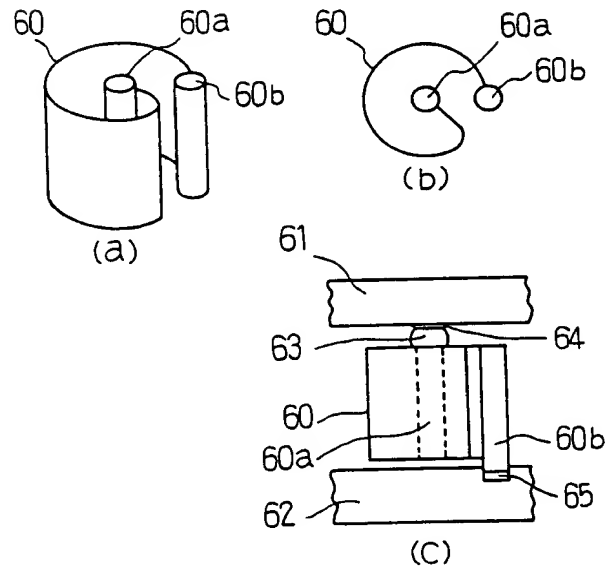


第17図



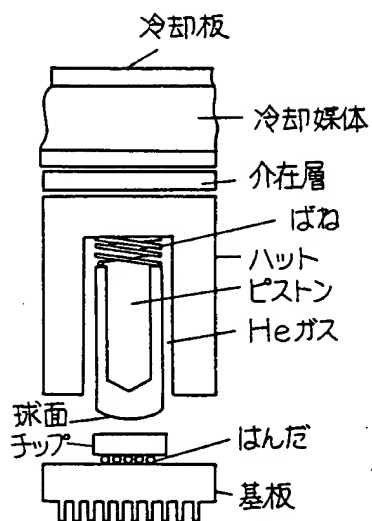
第18図

60 --- 板ばね 61 --- チップ 64 --- チップ電極  
60a } ペン 62 --- セラミック基板 65 --- 導体路  
60b } 63 --- はんだ



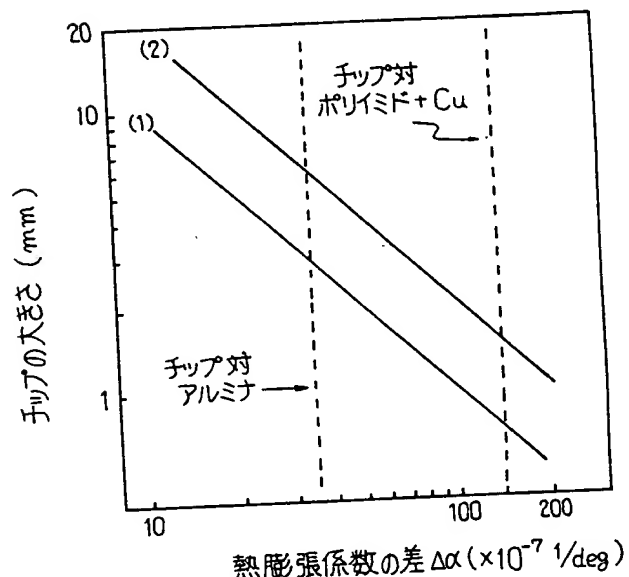
第 19 図

3081 モジュール(TCM)の冷却用ばね  
断面構造



第 20 図

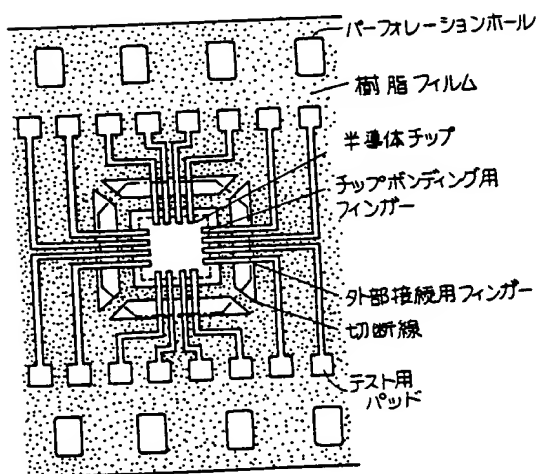
熱膨張係数差によるCCB接続部の寿命限界値



- (1) 1回/1日 冷熱サイクル使用時  
(2) 通常の冷熱サイクル使用時

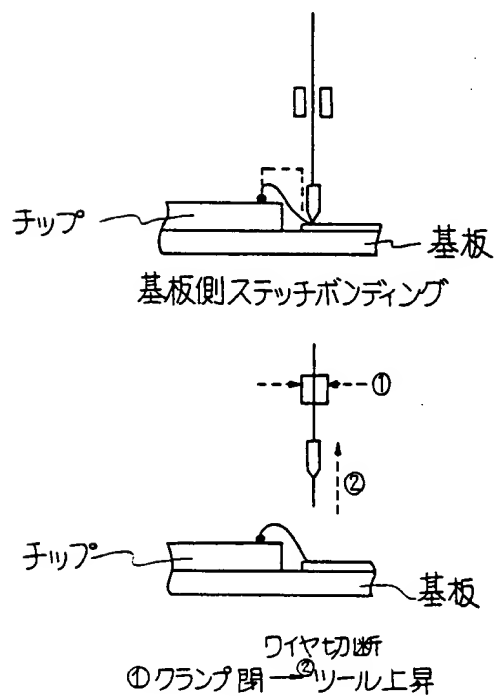
第 21 図

フィルムキャリアの配線側



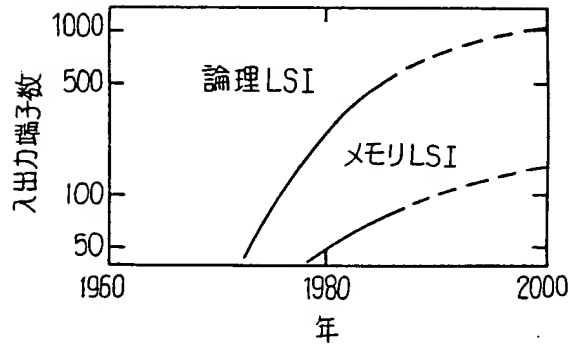
第 22 図

ワイヤボンディング法



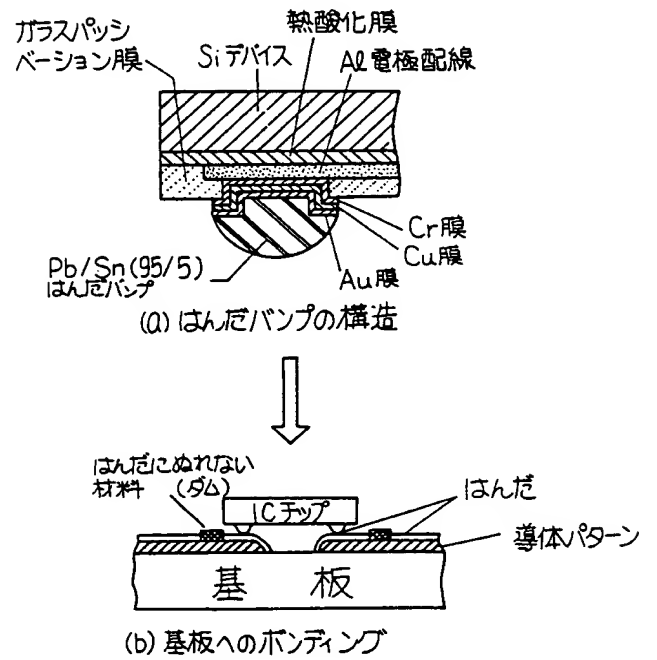
第23図

IC・LISの入出力端子数の増加



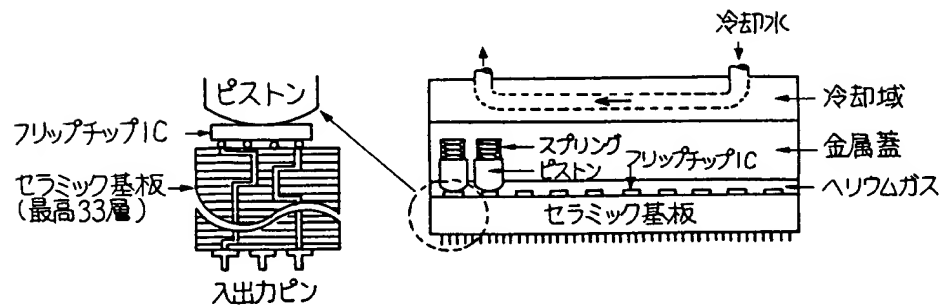
第25図

フリップチップ方式(CCB法)によるICチップの実装法



第24図

IBM3081用熱伝導モジュール(TCM)における  
フリップチップICの接続及び放熱構造



第1頁の続き

優先権主張

⑫昭63(1988)3月14日⑬日本(JP)⑭特願 昭63-58260

⑫発明者 諫田 尚哉 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑬発明者 坂 口 勝 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

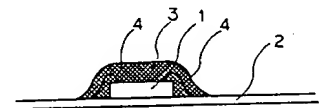
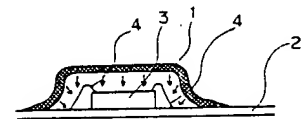
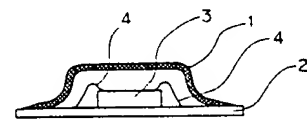
⑭発明者 村 田 旻 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

**(54) METHOD OF SEALING ELECTRONIC CIRCUIT WITH RESIN**

(11) 2-77137 (A) (43) 16.3.1990 (19) JP  
 (21) Appl. No. 63-229602 (22) 13.9.1988  
 (71) SEIKO EPSON CORP (72) AKIRA MAKABE  
 (51) Int. Cl.<sup>5</sup> H01L21/56

**PURPOSE:** To enable resin sealing stably and simply without destructing the wire bonding part of an IC chip by using a capsule type thermoplastic resin for the resin sealing of an electronic circuit.

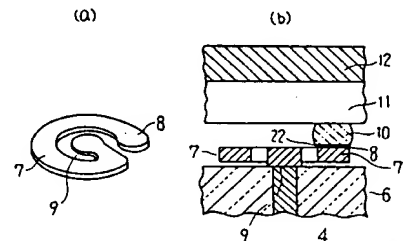
**CONSTITUTION:** A cured thermoplastic resin is formed in a capsule type, and put on an IC chip 3 mounted on an electronic circuit substrate 2. At this time, the thermoplastic resin 1 is not allowed to come into contact with a gold wire 4 which electrically connects the IC chip 3 and the electronic circuit substrate 2. When the atmosphere is set at a temperature wherein the thermoplastic resin is softened and fused, the thermoplastic resin begins to be softened and fused based on its characteristics, so that it begins to come into contact with the IC chip 3, with very low speed and very small shock. When time passes, the gaps between the thermoplastic resin and the electronic circuit substrate 2 and the IC chip 3 vanish, and a complete sealed state is obtained. When the atmosphere temperature is again returned to a normal temperature, the thermoplastic resin 1 turns to a solid state, and the resin sealing of the IC chip 3 on the electronic circuit substrate 2 is finished.

**(54) CONNECTION STRUCTURE OF ELECTRONIC COMPONENT AND ELECTRONIC DEVICE USING SAME**

(11) 2-77138 (A) (43) 16.3.1990 (19) JP  
 (21) Appl. No. 63-210710 (22) 26.8.1988 (33) JP (31) 87p.270125 (32) 28.10.1987(1)  
 (71) HITACHI LTD (72) TAKANOBU NORO(5)  
 (51) Int. Cl.<sup>5</sup> H01L21/60

**PURPOSE:** To simplify the assembling structure of an electronic device by providing spring properties or free deformation properties in all directions on horizontal and vertical planes, in order to connect electronic components like an LSI chip.

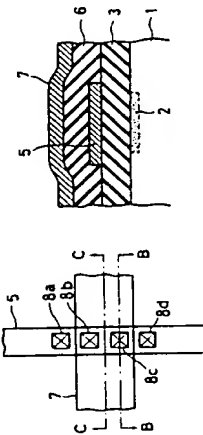
**CONSTITUTION:** By using a wiring board 6 with a microlead, the electrode 10 of an LSI chip 11 is bonded by solder 10 via a microlead 7. In the case where the LSI chip generates heat and the temperature rises as high as about 80°C as the result that the electrically connected wiring board is operated, the board stretches more than the LSI chip. As a result, deformation displacement difference is caused between the LSI chip and the board. As to the board with the microlead, the microlead itself deforms in the X and Y directions or in all directions on a horizontal plane, so that the stress can be released. Further, since the microlead has spring properties or can deform in the vertical Z direction, the chip can be completely brought into close contact with a cooling body 12 arranged on the rear (upper side) of the LSI chip. As a result, cooling effect of the LSI chip can be sufficiently maintained.

**(54) SEMICONDUCTOR DEVICE**

(11) 2-77139 (A) (43) 16.3.1990 (19) JP  
 (21) Appl. No. 64-198338 (22) 31.7.1989  
 (71) TOSHIBA CORP (72) YUKIHIRO USHIKU  
 (51) Int. Cl.<sup>5</sup> H01L21/90

**PURPOSE:** To make a part of a second wiring layer crossing a step-difference on a connection hole pass a region having no step-difference, and prevent the step-cut and the increase of resistance of the second wiring layer by dividing connection holes to connect a diffusion layer and a first wiring layer into a plurality of groups, in a region where the second wiring layer passing the upper part of the connection holes passes.

**CONSTITUTION:** In a first insulating layer 3, four small connection holes 8a, 8b, 8c, 8d are arranged in a row, along the length direction of a first wiring layer 5. The connection holes are divided into plurality of groups, like 8b, 8c, in the width direction of the wiring layer 7, in a region where the second wiring layer 7 passes which is formed on the upper layer side of a diffusion layer 2 and the first wiring layer 5 which are connected by the connection holes. In the arrow-view section B-B passing the hole 8c, a third wiring layer 7 crosses the step-difference. However, in the arrow-view section C-C passing between holes 8b, 8c, it crosses a region having no step-difference. Thereby, the step-cut in the step-difference, the disconnection of the second wiring layer 7 caused by the decrease of the film thickness, and the increase of resistance can be prevented, and wiring characteristics and reliability can be improved.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250498

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321		9169-4M	H 0 1 L 21/92	6 0 2 Z
		9169-4M		6 0 2 N
		9169-4M		6 0 2 L
		9169-4M		6 0 4 B

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-49353

(22) 出願日 平成7年(1995)3月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岩淵 馨

東京都品川区北品川6丁目7番35号 ソニー株式会社内

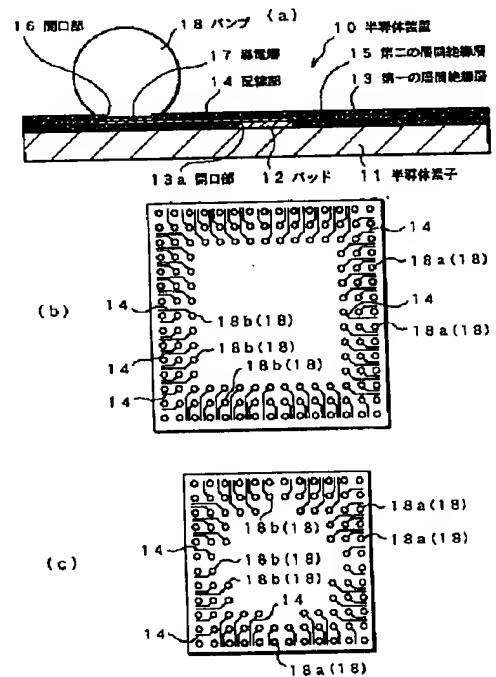
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【目的】 半導体素子と回路基板との線膨張係数の差に起因する不都合を解消して十分な信頼性を確保するとともに、フリップチップ化による高密度化の効果を十分発揮でき、しかもコストアップを抑制することができる半導体装置とその製造方法を提供する。

【構成】 複数のパッド12を有する半導体素子11のパッド形成面に、パッド12のうちの一つに導通する配線部14が複数形成され、配線部14の所定位置上にバンプ18が形成されてなる半導体装置10。およびその製造方法。



本発明装置の概略構成図



## 【特許請求の範囲】

【請求項1】 複数のパッドを有する半導体素子のパッド形成面に、前記パッドのうちの一つに導通する配線部が複数形成され、

該配線部の所定位置上にバンパが形成されてなる、

ことを特徴とする半導体装置。

【請求項2】 前記パッドのうちの信号ピンとなるパッドに導通するバンパが、前記パッド形成面の周辺側に配設され、

前記パッドのうちの電源ピンとなるパッドに導通するバンパが、前記パッド形成面の内側に配設されてなる、

ことを特徴とする請求項1記載の半導体装置。

【請求項3】 パッドを有する半導体素子上に、回路基板と電気的・機械的に接続されるバンパを形成する半導体装置の製造方法であって、

前記半導体素子上に第一の層間絶縁層を形成し、かつ該第一の層間絶縁層の、前記パッドの直上部を開口して該パッドを露出させる第一工程と、

前記第一の層間絶縁層上に、前記パッドより半導体素子上のバンパ形成位置まで延びたパターンの配線部を形成する第二工程と、

前記配線部を覆って前記第一の層間絶縁層上に第二の層間絶縁層を形成し、かつ該第二の層間絶縁層の、前記バンパ形成位置の直上部を開口して前記配線部を露出させる第三工程と、

前記半導体素子の、第二の層間絶縁層を形成した側の面に導電層を形成する第四工程と、

前記導電層上にめっきレジスト層を形成し、かつ前記バンパ形成位置の直上部を開口して前記導電層を露出させる第五工程と、

前記半導体素子のめっきレジスト層側を電解液中に浸漬し、通電することによって前記バンパ形成位置の直上部にバンパを形成する第六工程と、

を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、パッドに導通するバンパを任意の位置に形成した半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】 近年、半導体素子はその高密度・高集積化・高速化が益々進み、これに伴ってこれら半導体素子を回路基板上に高密度に実装する要求が強まっている。半導体素子を回路基板上に実装するには、従来、半導体素子をセラミックスまたはプラスチックで外部環境から保護し、端子を出すことによって実装する方法が知られている。また、高密度化をさらに進めるため、近年ではBGAパッケージが注目を集め、さらにはチップ（半導体素子）上にバンパを形成し、これをフェースダウンで回路基板に接続するフリップチップの実用化検討も活発

になされている。

【0003】ところで、究極的な高密度実装を考えた場合、現在のところフリップチップが最も有望であるとされている。このようなフリップチップ実装を可能にするためには、半導体素子上に形成されているA1パッドの上に、回路基板との電氣的接続部となるバンパを何らかの方法で形成しなければならない。バンパの形成方法としては、蒸着法、めっき法、スタッドバンパ法が従来から知られているが、中でもめっき法が最も一般的とされている。

【0004】このようなめっき法によるバンパ形成の一例を、図5を参照して説明する。まず、図5(a)に示すように半導体素子1のA1パッド2上に、蒸着法により該半導体素子1およびA1パッド2の上面全体を覆ってバリヤメタル層3を形成する。次に、前記バリヤメタル層3の全面にめっきレジスト層4を形成し、公知のリソグラフィ技術、エッチング技術によって図5(b)に示すようにA1パッド2の直上部のみを開口させる。

【0005】次いで、半導体素子1のA1パッド2側の面を電界液中に浸漬し通電することにより、図5(c)に示すように前記A1パッド2の直上部にマッシュルーム状のはんだバンパ5を形成する。その後、はんだバンパ5をマスクとして酸等による処理を行い、レジスト層4、バリヤメタル層3をそれぞれ除去し、さらにフラックスを塗布した後熱処理し、はんだバンパ5を溶融処理して図5(d)に示すような球状のバンパ5aにする。

【0006】また、他のバンパ形成方法のうち蒸着法は、半導体素子上に金属を蒸着し、この金属層をエッチングしてバンパを形成すべき部位にのみ開口した金属製マスクを形成し、得られた金属製マスクを用いて再度蒸着することにより、バンパを形成する方法である。

## 【0007】

【発明が解決しようとする課題】ところで、前述したようなフリップチップ実装は、一般に半導体素子と回路基板との線膨張係数が異なることから、動作による発熱のためはんだバンパに応力が集中し、バンパにクラックが入ってしまい、最終的には電氣的に開放状態、すなわち断線状態となってしまうことが知られている。このような熱ストレスによる応力は、例えば工業調査会による「高信頼性マイクロソルダリング技術(P275)」等

に示されるように、Coffin-Masonの式に従うことが一般に知られており、このような知見を通して、バンパを介しての導通状態を維持させるべく、さまざまな延命のための施策が検討されている。例えば、バンパ高さを高くすることが、バンパを介した導通状態維持についての、寿命延命対策として有望であることが分かっている。

【0008】ところが、ASIC(Application Specific Integrated Circuit)などのように高密度・高集積化が求められる半導体素子では、出力端子数が多くA1パッド間の間隔が狭くなっており、一方前記しためっき

法では、バンプ5（5a）の高さが電極間隔（A1パッド2、2間の間隔）に制限されている。すなわち、この制限を越えて球状のバンプ5aの高さを高く形成しようとすると、マッシュルーム状のはんだバンプ5の形成時に該バンプ5、5間が連続してしまい、電極間（A1パッド2、2間）が電氣的に短絡してバンプ5aの形成が困難になってしまうからである。例えば、A1パッド2、2の間隔が $150\mu\text{m}$ であり、現実的なレジスト厚さを $40\mu\text{m}$ とした場合、得られるバンプ5aの高さは $70\mu\text{m}$ 程度が限界となっているのである。したがって、このような従来のめっき法では、A1パッド間の間隔の狭い半導体素子上にはバンプを形成することができないのである。

【0009】また、前記蒸着法では、バンプ形成のための蒸着時に、蒸着処理に伴って金属製マスクが温度上昇することにより該金属製マスクが反ってしまい、結果としてバンプの形成位置精度が悪くなるといった不都合があり、前記めっき法と同様に狭いピッチのバンプ形成には適さないのである。

【0010】また、線膨張係数差による熱ストレスを緩和する施策として、バンプを千鳥状に配列し、バンプにかかる応力の集中を分散させることが知られている（例えば曾我ら著、電子情報通信学会論文誌 C vol. J70-C No.12 pp.1575-1582 1987 年12月）。しかし、この場合には、A1パッドを予め千鳥状に配列させておくことから、同一出力端子数で考えると、縦横に略等間隔でA1パッドを配列させた場合に比べ、レイアウト上半導体素子の面積を大きくしなければならず、コスト・高密度化という点で不満がある。

【0011】いずれにせよ、従来のフリップチップ実装技術では、高信頼性を得るための施策が十分になされていないのである。一方、半導体素子を実装するための回路基板にあっても、その加工精度上、電極端子部の間隔の限界が $150\mu\text{m}$ 程度とされており、このような理由からも、従来のフリップチップ実装技術では、そのバンプ間隔を狭くできないのである。

【0012】しかして、半導体素子におけるA1パッド間間隔は現在 $100\mu\text{m}$ を下回るところまでファインピッチ化されていることから、これに対応してバンプ間隔も狭くし、フリップチップ化による利点である高密度化を十分に図りたいとの要求がある。しかし、現状では前述した理由により、その要求に応えられないのである。さらに、現状では高密度化に対応して回路基板もその電極端子部の間隔を限界近くまで狭くしていることから、実装時において半導体素子との位置合わせ等を厳密な精度で行わなくてはならず、そのためこれに対応できる高精度の設備が必要となり、したがってコストアップを招く結果になっている。

【0013】本発明は前記事情に鑑みてなされたもので、その目的とするところは、半導体素子と回路基板と

の線膨張係数の差に起因する不都合を解消して十分な信頼性を確保するとともに、フリップチップ化による高密度化の効果を十分発揮でき、しかもコストアップを抑制することができる半導体装置とその製造方法を提供することにある。

#### 【0014】

【課題を解決するための手段】本発明の半導体装置では、複数のパッドを有する半導体素子のパッド形成面に、前記パッドのうちの一つに導通する配線部が複数形成され、該配線部の所定位置上にバンプが形成されてなることを前記課題の解決手段とした。本発明の半導体装置の製造方法では、パッドを有する半導体素子上に第一の層間絶縁層を形成し、かつ該第一の層間絶縁層の、前記パッドの直上部を開口して該パッドを露出させる第一工程と、前記第一の層間絶縁層上に、前記パッドより半導体素子上のバンプ形成位置まで延びたパターンの配線部を形成する第二工程と、前記配線部を覆って前記第一の層間絶縁層上に第二の層間絶縁層を形成し、かつ該第二の層間絶縁層の、前記バンプ形成位置の直上部を開口して前記配線部を露出させる第三工程と、前記半導体素子の、第二の層間絶縁層を形成した側の面に導電層を形成する第四工程と、前記導電層上にめっきレジスト層を形成し、かつ前記バンプ形成位置の直上部を開口して前記導電層を露出させる第五工程と、前記半導体素子のめっきレジスト層側を電解液中に浸漬し、通電することによって前記バンプ形成位置の直上部にバンプを形成する第六工程とを有することを前記課題の解決手段とした。

#### 【0015】

【作用】本発明の半導体装置によれば、複数のパッドを有する半導体素子のパッド形成面に、前記パッドのうちの一つに導通する配線部を複数形成し、該配線部の所定位置上にバンプを形成したので、該所定の位置を予め設定しておくことにより、パッドの位置や間隔に制限されることなくバンプが任意の間隔で形成配置され、これによりバンプが任意の高さに形成されたものとなる。本発明の半導体装置の製造方法によれば、パッドに導通する配線部上の、バンプ形成位置の直上部にバンプを形成するので、パッドの位置や間隔に制限されることなくバンプを任意の位置でしかも任意の間隔で形成配置することができ、したがってバンプを任意の高さに形成することが可能になる。

#### 【0016】

【実施例】以下、本発明を実施例により詳しく説明する。図1（a）は本発明の半導体装置の一実施例を示す図であり、図1（a）において符号10は半導体装置、11は半導体素子である。半導体素子11は、平面視略正方形の公知のもので、その一方の面には、回路基板（図示略）と電氣的・機械的に接続するための多数のパッド12…が所定の間隔で形成配置されている。また、この半導体素子11上には、前記パッド12…を除く位

置に第一の層間絶縁層13が形成されている。この第一の層間絶縁層13は、無機系または有機系の絶縁物からなるもので、後述するように半導体素子11と配線部との間の電気的影響を排除するためのものである。なお、この第一の層間絶縁層13は、前記パッド12と略同一の厚みに形成されたものとなっている。

【0017】パッド12…および第一の層間絶縁層13の上には、個々のパッド12上から第一の層間絶縁層13の所定位置に延びる配線部14が多数形成されている。これら配線部14…は、それぞれ一つのパッド12上に設けられてこれに導通するとともに、その先端部が予め設定されたバンプ形成位置にまで延びて形成されたもので、例えばAu/Cu/Ti等で構成された積層金属配線により形成されたものである。また、このような配線部14…および第一の層間絶縁層13の上には、第二の層間絶縁層15が形成されている。この第二の層間絶縁層15は、第一の層間絶縁層13と同様に無機系または有機系の絶縁物からなるもので、配線部14の損傷を防ぐためのものである。

【0018】この第二の層間絶縁層15には、そのバンプ形成位置と対応する箇所にそれぞれ、前記配線部14の上面の一部を露出させる開口部16が形成されており、これら開口部16…内の、露出した配線部14の上面には、それぞれ導電層17を介して球状のバンプ18が形成されている。導電層17は、後述するようにバンプ18の形成のために設けられたものであり、Cu、Au等の金属で形成されたものである。バンプ18は、半導体素子11を回路基板に電気的・機械的に接続するための突起物である。なお、バンプ18については、通常、共晶はんだ、高融点はんだ等のはんだによって形成されるが、例えばNi、Cu等の金属で形成したものでよく、さらには、これら金属で形成した後、その表面に貴金属めっきしたものでよい。

【0019】また、このようなバンプ18は、図1

(b)に示すように半導体素子11におけるパッド形成面上の周辺部に、三列で整列配置されたものとなっている。この三列で配置された多数のバンプ18…のうちの、最外部の一行、すなわち前記パッド形成面の周辺側にあるバンプ18a…は、半導体素子10のパッド12…のうちの、信号ピンとなるパッドに導通するよう形成されたものであり、また内側の二列にあるバンプ18b…は、半導体素子10のパッド12…のうちの、電源ピンとなるパッドに導通するよう形成されたものである。ここで、半導体素子11に形成されたパッド12…は、図1(b)中に図示していないものの、半導体素子11の周辺部にのみ形成されており、したがって前記バンプ18…のうちの内側に配置されたバンプ18b…は、周辺部に形成されたパッド12に配線部14を介して接続されたものとなっている。

【0020】なお、バンプ18の配置については、半導

体素子の構成、すなわちその形状やピン数などによって適宜変更可能であり、例えば図1(c)に示すような配置にしてもよい。ここで、図1(c)に示したバンプ18の配置にあっても、その周辺側の一行が信号ピンとなるパッドに導通するよう形成され、内側の二列が電源ピンとなるパッドに導通するよう形成されている。

【0021】このような構成の半導体装置10にあっては、予め設定した所定位置にバンプ18を、パッド12に配線部14を介して導通した状態で形成したので、該バンプ18が、パッド12の位置やその間隔に制限されることなく形成されたものとなり、したがってその高さや間隔が予め設定された仕様に応じて支障なく形成されたものとなる。また、半導体素子11上に第一の層間絶縁層13を形成したことから、バンプ18等から放出されるα線により、半導体素子11がソフトエラーを起こすことを防止することができ、また半導体素子11上に形成される構成要素との線膨張係数の差によって生じる、半導体素子11上のパッド12の損傷を防ぐことができ、さらにバンプ18の下部に加えられるストレスを緩和することができる。したがって、この半導体装置10は、半導体素子11を保護してそのデバイス特性を長期に亘って維持することができる。

【0022】さらに、信号ピンとなるパッド12に導通するバンプ18を周辺側に、電源ピンとなるパッド12に導通するバンプ18をその内側に形成配置したので、これを回路基板に実装すれば、配線数が多くしたがって回路基板からさらに引き出すための配線が複雑になる信号配線を、回路基板の周辺部に周中させることができ、一方電源配線を、回路基板の内側に一本配設するだけでよい。したがって、回路基板の配線を容易にすることができるとともに、回路基板に実装された後の装置の、コンピューター等への搭載を容易にすることができる。

【0023】なお、図1(b)、(c)に示した例では、バンプ18のうち周辺側の一行を信号ピンとなるパッドに導通させ、他の列のものを電源ピンとなるパッドに導通させたが、設計上、例えば周辺側の二列を信号ピンに導通させ、残りを電源ピンに導通させてもよいのはもちろんであり、また、内側に位置するバンプ18のうち任意のものを、いわゆるダミーのバンプとして放熱用にしてもよい。

【0024】次に、このような半導体装置10の製造方法を、請求項3記載の製造方法に基づいて説明する。まず、図2(a)に示すように、A1等からなるパッド12を有した半導体素子11を用意する。なお、図2

(a)においてはパッド12を一つしか示していないものの、半導体素子11は、前述したように多数のパッド12を有しており、これらパッド12、12間の間隔は、この例では150μmとなっている。

【0025】次に、前記半導体素子11の、パッド12

を形成した側の面上に、図2(b)に示すように第一の層間絶縁層13を形成し、さらに該第一の層間絶縁層13の、前記パッド12の直上部を開口して該パッド12を露出させる開口部13aを形成する。具体的には、例えば感光性ポリイミド〔商品名；UR-3100（東レ社製）〕を半導体素子11上にスピンコートして厚さ5 $\mu$ m程度の絶縁層を得、これを100℃で2分間ブリーク処理して第一の層間絶縁層13とする。そして、予め用意した露光マスクを用い、これを通して露光しさらに現像処理することにより、図2(b)中二点鎖線で示す部分を除去してパッド12の上面を露出させる開口部13aを形成する。

【0026】次いで、図2(c)に示すように前記第一の層間絶縁層12上に、パッド10より半導体素子11上のバンパ形成位置まで延びたパターンの配線部14を形成する。この配線部14の形成方法としては、まず、前記第一の層間絶縁層13上にレジスト〔商品名；OPR-800（東京応化社製）〕をスピンコートして厚さ2 $\mu$ m程度に形成し、さらに100℃で90秒間ブリーク処理した後、予め用意した露光マスクを用いこれをを通して露光しさらに現像処理することにより、パッド12からバンパ形成位置まで延びる配線部のネガパターンを形成する。次に、前記レジスト層上の全面に、スパッタ法等の蒸着法によってTi、Cu、Auを順に、それぞれ0.1 $\mu$ m、0.5 $\mu$ m、0.1 $\mu$ mの厚さとなるように堆積し、積層構造のバリアメタル層を形成する。その後、半導体素子11の、バリアメタル層を形成した側の面をレジスト剥離液に浸漬し、レジスト層を溶解処理することによってレジスト層上のバリアメタル層を同時に除去し、残ったバリアメタル層を配線部14とする。

【0027】次いで、得られた配線部14を覆って前記第一の層間絶縁層13上に、図2(d)に示すように第二の層間絶縁層15を形成し、さらに該第二の層間絶縁層の、前記バンパ形成位置の直上部を開口して前記配線部14を露出させる開口部16を形成する。具体的には、例えば感光性ポリイミド〔商品名；UR-3100（東レ社製）〕を第一の層間絶縁層13上にスピンコートして厚さ5 $\mu$ m程度の絶縁層を得、これを100℃で2分間ブリーク処理して第二の層間絶縁層15とする。そして、予め用意した露光マスクを用い、これを通して露光しさらに現像処理することにより、内径80 $\mu$ mの円状の開口面を有する開口部16を形成する。

【0028】次いで、第二の層間絶縁層15を形成した側の面に、スパッタ等の蒸着法によってCu、Auの順に堆積し、図2(e)に示すように厚さ1.0 $\mu$ mのCu層、厚さ0.1 $\mu$ mのAu層からなる積層構造の導電層17を形成する。ここで、Au層を設けたのは、Cu層の酸化防止膜として機能させるためである。次いで、図3(a)に示すように、この導電層17上にめっきレ

ジスト層19を形成し、さらに前記バンパ形成位置の直上部、すなわち第二の層間絶縁層15の開口部16の直上部を開口して前記導電層17を露出させる開口部19aを形成する。具体的には、例えばめっき用レジスト〔商品名；PMER MR-19（東京応化社製）〕をスピンコートして厚さ40 $\mu$ m程度のめっきレジスト層19を得、前記第二の層間絶縁層15の処理のときと同じ露光マスクを用いて露光し、さらに現像処理することにより、内径80 $\mu$ mの円状にパターニングを行うことにより開口部16に連通する開口部19aを形成する。

【0029】次いで、このようにしてめっきレジスト層19を形成した半導体素子11を、図4に示すような電解めっき装置20の電解めっき液21中に浸漬し、通電することにより、前記バンパ形成位置の直上部、すなわち図3(b)に示すようにめっきレジスト層19の開口部19a内にマッシュルーム状のはんだバンパ5を形成する。ここで、電解めっき装置20は公知の構成からなるものであり、装置本体20a内に電解めっき液21を貯留するとともに、該電解めっき液21中にPt/Tiメッシュ電極からなる陽極22を配設したものである。陽極22は電源23に接続されたものであり、この電源23には、カソード電極となるピン（図示略）を有したカソード給電部24が接続されている。

【0030】このような電解めっき装置20によるバンパ5の形成方法を説明すると、まず、電解めっき装置20の電解めっき液21に半導体素子11のめっきレジスト層19側を浸漬させ、さらにこの状態でカソード給電部24のピンを半導体素子11に突き当て、そのめっきレジスト層19を突き破って該ピンを半導体素子11の導電層17に導通させる。次いで、電源23よりカソード給電部24を介して導電層17に1.5A/dm<sup>2</sup>のマイナス電流を流し、さらに電解めっき液〔商品名；LD-5（石原薬品社製）〕21を電解めっき装置20に設けられたポンプ25で噴射する。そして、この状態で例えば室温にて3時間かけ、これによりPb：Sn=95：5のはんだを、めっきレジスト層19の開口部19、第二の層間絶縁層15の開口部16内に露出する導電層17上にめっきし、高さ100 $\mu$ mのマッシュルーム状のはんだバンパ5を得る。

【0031】その後、はんだバンパ5を形成した半導体素子11上のめっきレジスト層19をアセトンで溶解・除去し、さらにめっきレジスト層19が除去されることにより露出した導電層17を、エッチング液を用いて除去する。なお、導電層17のエッチング液としては、導電層17を形成するAu層用として、(NH<sub>4</sub>I + I<sub>2</sub> + CH<sub>3</sub>COOH)の混合溶液が用いられ、Cu層用として、(NH<sub>4</sub>OH + H<sub>2</sub>O<sub>2</sub> + EDTA)の混合溶液が用いられる。

【0032】そして、このようにエッチング処理を行っ

10

20

30

40

50

た後、その表面、すなわち第二の層間絶縁層15上にフ  
ラックス〔商品名；RH-5186（日本アルファメ  
タル社製）〕をスピンコートし、さらにホットプレート  
上にて350℃で30秒間の熱処理を行い、マッシュル  
ーム状のはんだバンプ5を溶融することにより、図1

（a）に示したように高さ100μmの球状のバンプ1  
8を形成し、半導体装置10を得る。なお、このような  
方法により、図1（b）、（c）に示したバンプ18の  
レイアウトとは別に、500μmの間隔にて、100μ  
mの高さのバンプをエリア状に240個形成することが  
できた。

【0033】このような半導体装置10の製造方法にあ  
っては、パッド12に導通する配線部14上の、予め設  
定したバンプ形成位置の直上部にバンプ18を形成する  
ので、パッド12の位置やその間隔に制限されることな  
くバンプ18を任意の位置でしかも任意の間隔で形成配  
置することができ、これによりバンプ18を任意の高さ  
に形成することができる。したがって、半導体素子11  
と回路基板との熱膨張係数の差に起因してバンプが熱疲  
労を起こすことを抑制し、その寿命を長期化することが  
できる。また、バンプ18…を任意の位置に形成するこ  
とができることから、予めバンプ18、18間の間隔を  
十分広くとっておくことにより、半導体装置10を回路  
基板に実装する際、その位置合わせを容易に行うことが  
できる。また、半導体素子11として従来の構成のもの  
をそのまま用い、回路基板へのフリップチップ実装を可  
能にすることができる。

【0034】なお、前記実施例では、第一の層間絶縁層  
13、第二の層間絶縁層15としてポリイミドからなる  
絶縁層を用いたが、例えばこれに代え、SiNx等の窒  
化膜に代表される無機物を絶縁層として用いてもよく、  
その場合には、レジストを用いてリソグラフィー、エッ  
チングを行う従来公知の方法により、開口部13a、1  
6を形成すればよい。また、バリアメタル層としてTi  
/Cu/Auを用いたが、例えば最下層金属として、Ti  
に代えてCrを用いてもよい。

【0035】さらに、前記実施例では、配線部14の形  
成方法として、第一の層間絶縁層13の上にレジストを  
形成し、これに配線部14のネガパターンを形成した  
後、バリアメタル層を形成し、さらにレジスト層を溶解  
除去する方法を採用したが、他に例えば、第一の層間絶  
縁層13およびパッド12の上にバリアメタル層を形成  
し、さらにレジスト層を形成しこれに露光・現像処理を  
行って配線部14のポジパターンを形成し、次いでバリ  
ヤメタル層の不要部分を酸等によってエッチング除去  
し、その後レジスト剥離液によってレジスト層を除去  
し、配線部14を形成するといった方法を採用してもよ  
い。

【0036】また、電解めっき装置20によるマッシュ  
ルーム状のバンプ5の形成法として、前記実施例に示し

た方法に代え、以下の方法を採用することもできる。電  
解めっき液21として先に用いたLD-5（商品名；石  
原薬品社製）に代えて40℃に加熱したスルファミンニ  
ッケルを用い、これをポンプ25で噴射するとともに、  
前記方法と同様にして電源23よりカソード給電部24  
を介して導電層17に1.0A/dm<sup>2</sup>のマイナス電流  
を流し、これにより高さ50μmのマッシュルーム状の  
ニッケルバンプを得る。次いで、電解めっき液21を亜  
硫酸金に代えて再度電解めっきを行うことにより、先に  
形成したニッケルバンプの上に厚さ0.1μmの金め  
っきを行う。このような方法によれば、得られるバンプに  
金めっきが施されていることから、耐酸化性に優れたも  
のとなり、バンプを寿命をさらに延ばすことができる。

【0037】

【発明の効果】以上説明したように本発明の半導体装置  
は、配線部を介することによりパッドに導通するバンプ  
が予め設定した所定位置に形成されたものであり、該バ  
ンプが、パッドの位置やその間隔に制限されることなく  
形成されることにより、その高さや間隔が予め設定され  
た仕様に依じて支障なく形成されたものであるから、バ  
ンプが十分な高さで形成されることによってその熱疲労  
寿命が長くなり、したがって高い信頼性を有した状態で  
フリップチップ実装を可能にし、これにより高密度実装  
化を一層進めることができる。また、十分な間隔でバン  
プが形成配置されることにより、実装精度を従来のごと  
く厳しくする必要がなくなり、したがって回路基板への  
実装の際、該回路基板の電極端子部との位置合わせが容  
易になることから、高精度の設備を用いることなく十分  
な信頼性を有する実装を行うことができ、これにより実  
装不良を防止し、コストダウンを図ることができる。

【0038】本発明の半導体装置の製造方法は、パッド  
に導通する配線部上の、バンプ形成位置の直上部にバン  
プを形成するようにし、これによりパッドの位置や間隔  
に制限されることなくバンプを任意の位置でしかも任意  
の間隔で形成配置することができるようにしたものであ  
るから、バンプを任意の高さに形成することができ、し  
たがって半導体素子と回路基板との熱膨張係数の差に起  
因してバンプが熱疲労を起こすことを抑制し、その寿命  
を長期化することができる。また、バンプを任意の位置  
に形成することができることから、予めバンプ間の間隔  
を十分広くとっておくことにより、実装精度を従来のご  
とく厳しくする必要がなくなり、したがって回路基板へ  
の実装の際、該回路基板の電極端子部との位置合わせが  
容易になることから、高精度の設備を用いることなく十  
分な信頼性を有する実装を行うことができ、これにより  
実装不良を防止し、コストダウンを図ることができる。

【0039】さらに、バンプを任意の位置に形成するこ  
とができることから、半導体素子のファインピッチ化に  
伴いそのパッド間隔が、回路基板の電極端子部間の間隔  
に比べより狭小化しても、これに容易に対応して高密度

の実装を可能にすることができる。また、半導体素子として従来の構成のものをそのまま用い、回路基板へのフリップチップ実装を可能にすることができことから、高密度実装のため莫大な時間やコストをかけて全く新規な半導体素子を開発する必要がなく、したがって格段に低いコストで高密度実装を可能にすることができる。

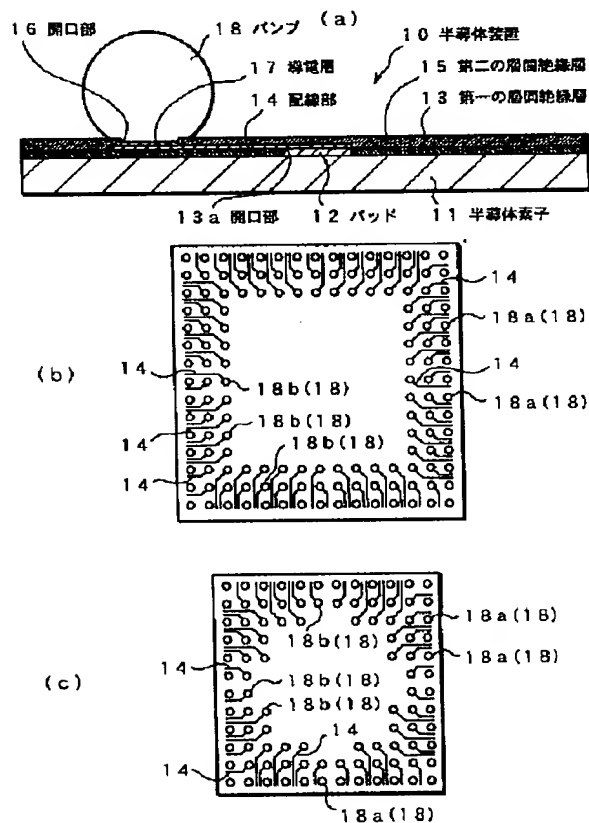
【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例の概略構成を示す図であり、(a)は要部側断面図、(b)は平面図、(c)は変形例の平面図である。

【図2】(a)～(e)は本発明の製造方法の一実施例を工程順に説明するための要部側断面図である。

【図3】(a)～(b)は本発明の製造方法の一実施例を工程順に説明するための要部側断面図であり、図2に続く工程を示す図である。

【図1】



本発明装置の概略構成図

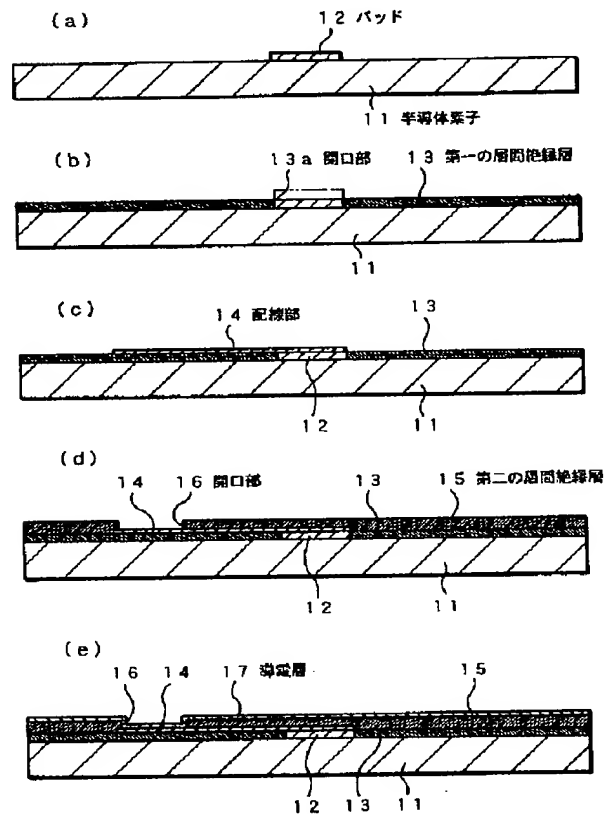
【図4】電解めっき装置の概略構成図である。

【図5】(a)～(d)は従来のはんだバンプの形成法を工程順に説明するための要部側断面図である。

【符号の説明】

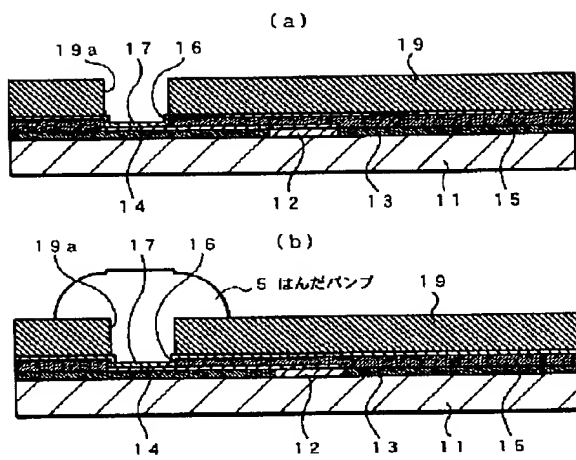
- |    |                 |     |          |
|----|-----------------|-----|----------|
| 5  | マッシュルーム状のはんだバンプ | 10  | 半導体装置    |
| 11 | 半導体素子           | 12  | パッド      |
| 13 | 第一の層間絶縁層        | 13a |          |
| 10 | 開口部             | 15  | 第二の層間絶縁層 |
| 14 | 配線部             | 17  | 導電層      |
| 16 | 開口部             | 18  | バンプ      |

【図2】



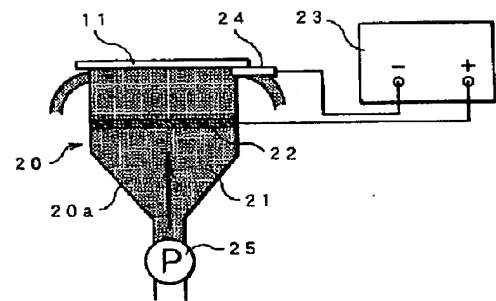
本発明の工程説明図 (1)

【図3】



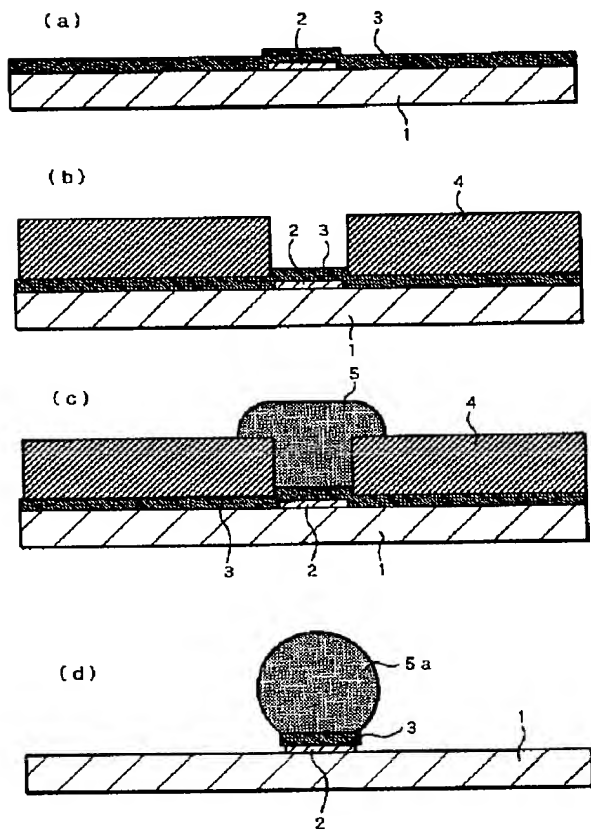
本発明の工程説明図(II)

【図4】



電解めっき装置の概略構成図

【図5】



従来の工程説明図



(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08250498 A**

(43) Date of publication of application: **27.09.96**

(51) Int. Cl.

**H01L 21/321**

(21) Application number: **07049353**

(71) Applicant: **SONY CORP**

(22) Date of filing: **09.03.95**

(72) Inventor: **IWABUCHI KAORU**

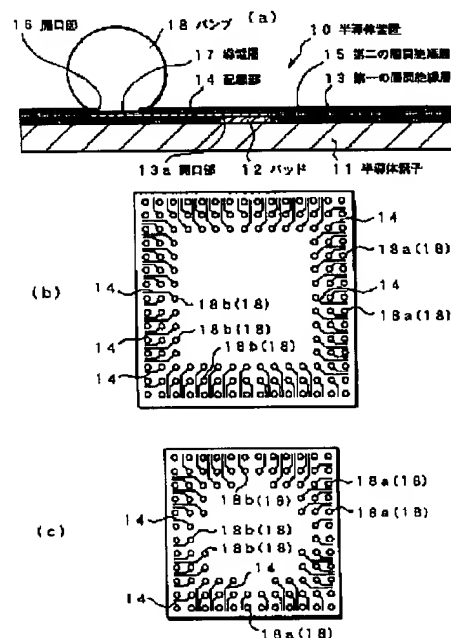
### (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) Abstract:

**PURPOSE:** To provide a semiconductor device the reliability of which is secured at a sufficiently high level by eliminating the inconvenience caused by the difference in coefficient of linear expansion between a semiconductor element and circuit board and which can be improved in packing density by constituting parts into flip chips and can be reduced in manufacturing cost and the manufacturing method of the semiconductor device.

**CONSTITUTION:** In a semiconductor device 10, a plurality of wiring sections 14 which makes a continuity with one of a plurality of pads 12 is formed on the pad forming surface of a semiconductor element 11 provided with the pads 12 and bumps 18 are formed at prescribed positions in the wiring sections 14. A manufacturing method is used for manufacturing the semiconductor device.

**COPYRIGHT:** (C)1996,JPO





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102466

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/321  
21/60

識別記号

片内整理番号

3 1 1 Q 7726-4E  
9169-4M  
9169-4M

F I

H 0 1 L 21/ 92

技術表示箇所

6 0 4 A  
6 0 2 M

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平6-237653

(22) 出願日

平成6年(1994)9月30日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 方 慶一郎

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 隣 真一

東京都港区芝五丁目7番1号 日本電気株  
式会社内

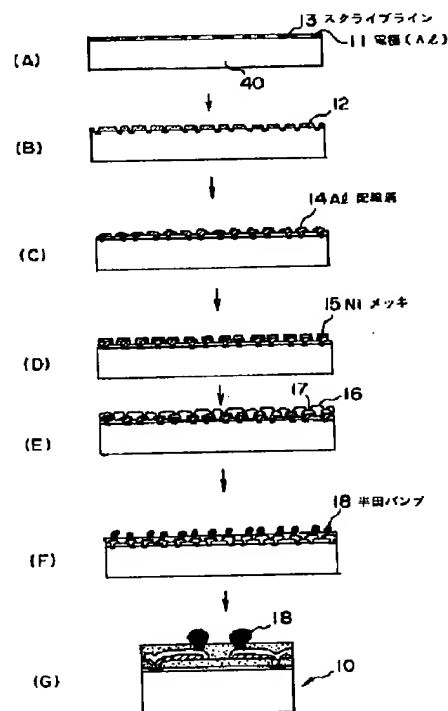
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置の製造方法及び半導体ウエハー

(57) 【要約】

【目的】 各接合部の信頼性が高く、各界面の密着性が高い半導体装置を大量に生産する。

【構成】 ウエハー40上で、各々が外周縁部に複数の電極パッド11を備え、かつ複数の電極パッドを除くウエハー全面がパッシベーション膜12で覆われた、複数の半導体チップ領域を形成する。ウエハー上で、複数の半導体チップ領域の各々に対して、一端がそれぞれ複数の電極パッドに接続し、半導体チップ領域の内部に延在するように複数の配線14を形成する。ウエハー全面をカバーコート膜16で覆う。カバーコート膜に格子状に複数の開口部17を形成する。開口部にバンプ18を形成する。ウエハー上に形成された複数の半導体チップ領域をスクライブライン13に沿って個々の半導体チップに分割する。



## 【特許請求の範囲】

【請求項1】 ウエハー上で、各々が外周縁部に複数の電極パッドを備え、かつ前記複数の電極パッドを除く前記ウエハー全面がパッシベーション膜で覆われた、複数の半導体チップ領域を形成する工程と、

前記ウエハー上で、前記複数の半導体チップ領域の各々に対して、一端がそれぞれ前記複数の電極パッドに接続し、半導体チップ領域の内部に延在するように複数の配線を形成する工程と、

前記ウエハー全面をカバーコート膜で覆う工程と、

前記カバーコート膜に格子状に複数の開口部をそれぞれ形成する工程と、

前記複数の開口部に複数のバンプをそれぞれ形成する工程と、

前記ウエハー上に形成された前記複数の半導体チップ領域をスクライブラインに沿って個々の半導体チップに分割する工程とを含む半導体装置の製造方法。

【請求項2】 前記半導体チップ領域の内部に延在される配線が前記複数の開口部において露出されるように形成されている請求項1記載の半導体装置の製造方法。

【請求項3】 前記バンプが前記スクライブラインを避けて形成されている請求項1記載の半導体装置の製造方法。

【請求項4】 前記バンプは前記電極パッドを避けて形成されている請求項1記載の半導体装置の製造方法。

【請求項5】 複数の半導体チップを収容する半導体ウエハーにおいて、各半導体チップ間のスクライブラインを除くウエハー全面に格子状のバンプ電極を形成したことを特徴とする半導体ウエハー。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に高密度実装に適した半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 半導体パッケージは、小型軽量化、高速化、高機能化という電子機器の要求に対応する為に、新しい形態が次々に開発されている。半導体チップ（以下、単にチップとも呼ぶ）の高集積化による多ピン化と、装置の小型・薄型化の要求は厳しくなり、その両立にはファインピッチ化が避けられない。よって、狭ピッチ化が可能なインナーリード接続とピッチを拡大できるエリアアレイ接続は必要不可欠な技術になることは間違いないと思われる。

【0003】 現在、チップとリードとの電気的接続、いわゆるインナーリード接続（ILB）には主にワイヤボンディング（wire bonding）方式が用いられている。ここで、ワイヤボンディング方式とは、チップ上のボンディングパッドとパッケージのリードとの接続間を20～30μm径の細線により結線することをいう。ワイヤボ

ンディング方式には熱圧着法（thermo compression bonding）と超音波ボンディング法（ultrasonic bonding）およびこれら両者の特徴を取り入れた超音波熱圧着法がある。

【0004】 しかしながら、多ピン化に伴い、パッドピッチが狭くなり、接続が困難になってきた為、ワイヤボンディング方式の代わりにワイヤレスボンディング（wireless bonding）方式が注目されている。ワイヤレスボンディング方式とは、チップ上の全電極パッド（以下、単にパッドとも呼ぶ）と特定のバンプ（bump）や金属リードによりパッケージ上の端子に一度にボンディングする方法であり、ギャングボンディング（gang bonding）とも呼ばれる。ワイヤレスボンディング方式には、TAB（tape automated bonding）方式やフリップチップ（flip chip）方式がある。

【0005】 TAB方式では、絶縁フィルム上にエッチングして作った金属箔のインナーリードをチップの電極パッド上に形成されたバンプとボンディングする。この為、薄型・小型実装化に対してもメリットがある。TAB方式はテープキャリア方式とも呼ばれる。一方、フリップチップ方式は、チップの能動素子面に半田バンプを形成し、チップを裏返して基板に直接接続する方式である。その為、多ピン・狭ピッチ化に対応でき、接続配線長が極めて短い為、高速化や低ノイズ化にも有利である。

【0006】 とにかく、TAB方式やフリップチップ方式のいずれの方式にしても、チップとフィルム（パッケージ）との電気的に接続に、それらの間に設けられたバンプを使用している。このような方式は、例えば、特開平5-129366号公報や特開平6-77293号公報に開示されている。

【0007】 また、本願出願人は、ワイヤレスボンディング方式の一種ではあるが、半導体チップとキャリアフィルムとを電気的に接続する新方式を提案している（平成6年5月25日出願、特願平6-110857号、発明の名称「フレキシブルフィルム及びこれを有する半導体装置」）。この新方式では、チップとキャリアフィルムとの電気的接続にバンプを使用せず、バンプをキャリアフィルムのチップが搭載されない側の面に形成している。

【0008】 以下、図3を参照して、上記特願平6-110857号に開示された、半導体ベアチップとキャリアフィルムとを組立工程で電気的に接続して、フィルムキャリア半導体装置を製造する従来の製造方法について説明する。

【0009】 まず、図3（A）に示すように、フィルムキャリア半導体装置を構成するのに必要な部材は、半導体ベアチップ10とキャリアフィルム20と接着フィルム30である。

【0010】 キャリアフィルム20は、ポリイミド系有

機絶縁フィルム21を有する。この絶縁フィルム21の一主面には、半導体ベアチップ10への接続部を有する配線層22が形成されている。また、絶縁フィルム21には、スルーホールが開孔しており、このスルーホールの一端は配線層22の接続部とは異なる部分に接し、他端は絶縁フィルム21の裏面に到達している。スルーホールは導電極23で埋められている。絶縁フィルム21の配線層22の接続部に対応する部分に開孔部が設けられ、この開孔部に充填物24が挿入されている。尚、キャリアフィルム20の詳細な構造及びその製造方法については、上記特願平6-110857号を参照されたい。

【0011】接着フィルム30チップサイズより小さく切断されており、その厚さは数十 $\mu$ m程度である。

【0012】半導体ベアチップ10は、図4に示すように、周知のウエハー製造技術によりウエハー40上に形成された多数のチップ領域をスクライブライン13に沿ってダイシング(dicing)により個々のチップに分割したものである。一般に、このダイシングはダイシングソー(dicing saw)方式によって行われる。図示の半導体ベアチップ10では、電極パッド11がチップ外周縁部に設置されているが、活性領域に配置されていても良い。電極パッド11を形成する金属としては一般的にアルミニウム系合金が使用される。また、半導体ベアチップ10の表面に形成されているパッシベーション膜12としては、ポリイミド、窒化ケイ素膜、酸化ケイ素膜等が使用される。

【0013】図3(B)に移って、上記切断済み接着フィルム30を半導体ベアチップ10上に精度良く位置決めしてセッティングする。尚、接着フィルム30として熱可塑性樹脂を用いる場合、接着フィルム30が溶融する温度まで半導体ベアチップ10側から接着フィルム30を加熱することで仮に固定できる。この時、ボイドがトラップされないように、接着フィルム30を設置、加熱する必要がある。

【0014】図3(C)に移って、TAB方式による接続で用いられるシングルポイントボンダーを流用し、キャリアフィルム20と接着フィルム30が仮固定された半導体ベアチップ10とを位置合わせした後、インナーリード接続する。この接合は、半導体ベアチップ10の電極パッド11を構成するアルミニウムとキャリアフィルム20の配線層22を構成する銅の合金化によって強固なものとなる。

【0015】次に、図3(D)に移って、キャリアフィルム20と半導体ベアチップ10とをそれらの間に接着フィルム30を挟んで貼り合わせる為に、キャリアフィルム20側或いは半導体ベアチップ10側から加熱、加圧を数秒間行う。そのことによって、キャリアフィルム30と半導体ベアチップ10とは接着する。

【0016】ところで、キャリアフィルム20と半導体

ベアチップ10との接着は、図3(B)～(D)に示した方法に限定されない。例えば、接着フィルム30はキャリアフィルム20側にセッティングしても構わない。また、キャリアフィルム20と半導体ベアチップ10とをそれらの間に接着フィルム30を挟んで位置精度よく貼り合わせた後に、インナーリード接続しても良い。また、予めウエハー状態で接着層をチップ表面に形成しておいても構わない。

【0017】次に、図3(E)では、選別用パッド25を利用して通常のテープキャリアパッケージ(TCP)と同様の方法で、電気選別・BTを実施する。キャリアフィルム20の外形や寸法等、EIAJに準拠するよう設計することで、ソケット、ボール等の選別治具は共有化することができる。

【0018】図3(F)に移って、チップ裏面にレーザー捺印で品名表示後、金型を用い外形切断する。切りしるを考慮に入れ、通常、片端100 $\mu$ m程度づつやや大きめに切断するが、ダイシングソーやレーザー等により高精度に切断することも可能である。

【0019】最後に、図4(G)に移って、キャリアフィルム20の基板対応面に同一ピッチで格子状に配置された外部接続用パッドに半田バンプ26を形成する。この半田バンプ26の形成方法は、例えば、特開昭49-52973号公報に開示された方法を使用できる。すなわち、半田から成るワイヤをワイヤボンディング法を使用してボールを形成し、ボールをパッド上に接合後、ボールのみを残してワイヤを切断する。以上のような工程を経て、フィルムキャリア半導体装置が完成する。

【0020】ところで、半導体装置にも種々の種類があるが、その中でもメモリや液晶ドライバは大量生産に向いている。このような品種に適用していくことを考えた場合、上述したような、半導体ベアチップ10とキャリアフィルム20とを組立工程で電氣的に接続する製法では、半導体装置を大量に生産することは困難である。そのため、半導体装置の大量生産には、ウエハー上で処理するバッチ式が有効と考えられる。

【0021】このようなウエハー40上でバンプを形成するバッチ式が知られている。この方法はIBMによって開発された技術で、C4技術と呼ばれており、A1電極パッド(チップ電極)にバリヤメタルを形成し、半田バンプを蒸着して形成する方法である。

【0022】

【発明が解決しようとする課題】しかしながら、ウエハー上にバンプを形成するとしても、半導体チップ10の電極パッド11はチップ周辺縁部に配置されるので、ウエハー上のバンプも必然的にチップの電極パッドにそって各パッド上に形成されることになる。一方、チップの電極パッドをチップ全面に配置することも考えられるが、そのためにはパッドを全面に配置できるような多層電極構造を採用しなければならない。この構造は製造が

困難であるとともに、表面の平坦性にも大きな影響を及ぼし、得策ではない。さらに、チップサイズのシュリンク化、多ピン化を両立させようとする、電極パッドの狭ピッチ化が進んでくるので、半田バンプを電極パッドに対応した位置に形成したり実装することは実際上困難になってきており、かつこれを多層構造で解決しようとしても上述のとおり製造困難に落ちるのは明白である。

【0023】一方、上述した半導体ベアチップ10とキャリアフィルム20とをチップ分割後の組立工程で電気的に接続する製法では、半導体ベアチップ10とキャリアフィルム20との間の接合部に信頼性の点で問題がある。また、半導体ベアチップ10とキャリアフィルム20との界面の密着にも問題が起こる虞があった。

【0024】したがって本発明の目的は、電極パッドとは異なる位置にバンプを有する半導体装置を大量に製造できる方法を提供することにある。

【0025】本発明の他の目的は、耐T/C性が良好な半導体装置を製造する方法を提供することにある。

【0026】本発明の更に他の目的は、耐湿性が良好な半導体装置を製造する方法を提供することにある。

【0027】

【課題を解決するための手段】本発明によれば、ウエハー上で、各々が外周縁部に複数の電極パッドを備え、かつ複数の電極パッドを除くウエハー全面がパッシベーション膜で覆われた、複数の半導体チップ領域を形成する工程と、ウエハー上で、複数の半導体チップ領域の各々に対して、一端がそれぞれ複数の電極パッドに接続し、半導体チップ領域の内部に延在するように複数の配線を形成する工程と、ウエハー全面をカバーコート膜で覆う工程と、カバーコート膜に格子状に複数の開口部をそれぞれ形成する工程と、複数の開口部に複数のバンプをそれぞれ形成する工程と、ウエハー上に形成された複数の半導体チップ領域をスクライブラインに沿って個々の半導体チップに分割する工程とを含む半導体装置の製造方法が得られる。

【0028】上記半導体装置の製造方法において、半導体チップ領域の内部に延在される配線が複数の開口部において露出されるように形成されていることが好ましい。また、バンプがスクライブラインを避けて形成されていることが望ましい。さらに、バンプは電極パッドを避けて形成されていることが好ましい。

【0029】また、本発明によれば、複数の半導体チップを収容する半導体ウエハーにおいて、各半導体チップ間のスクライブラインを除くウエハー全面に格子状のバンプ電極を形成したことを特徴とする半導体ウエハーが得られる。

【0030】

【実施例】以下、本発明について図面を参照して説明する。

【0031】図1に本発明の一実施例による半導体装置の製造方法を示す。まず、図1(A)に示すように、周知のウエハー製造工程によって、ウエハー40上に複数の半導体チップ領域を形成する。複数の半導体チップ領域の各々は外周縁部に複数の電極パッド11を備えている。

【0032】次に、図1(B)に移って、ウエハー40上をスパッタでパッシベーション膜12で覆う。このパッシベーション膜12の厚さは20μm以下である。次に、周知の露光、エッチングにより、複数の電極パッド11を開く。これにより、複数の電極パッド11を除くウエハー40全面がパッシベーション膜12で覆われる。これは、図4に示したウエハー40であり、前述したように、従来においては、このウエハー40に形成された複数の半導体チップ領域をスクライブライン13に沿ってダイシングにより個々の半導体ベアチップに分割している。本発明では、この状態ではまだダイシングを行わない。

【0033】図1(C)に移って、ウエハー40上で、複数の半導体チップ領域の各々に対して、一端がそれぞれ複数の電極パッド11に接続し、半導体チップ領域の内部に延在するように複数のA1配線14を形成する。このA1配線14の形成は、マスクを利用し、スパッタなどの薄膜形成技術により行う。A1配線14の厚さは1μm以下である。

【0034】図1(D)に移って、A1配線14上にNiメッキ15を施す。Niメッキ15の代わりに、半田のバリヤメタルになり得る金属、例えば、Cuメッキを使用してもよい。このNiメッキ15の厚さは、半田接続部の信頼性を確保し、かつチップと実装基板との熱膨脹差によって発生する熱応力を吸収する為に、最低でも5μm程度の厚みが必要である。本例では、Niメッキ15の厚さを10μm程度としている。

【0035】図1(E)に移って、ウエハー40全面をカバーコート膜16で覆う。このカバーコート膜16としては、例えばポリイミドが使用され、その厚さは20μm以下である。引き続き、カバーコート膜16に、後述する半田バンプを形成する箇所に格子状に複数の開口部17を形成する。この開口部17の形成はエッチングやレーザ加工により行う。この開口部17でNiメッキ15の表面が露出する。この露出したNiメッキ15の表面にAuメッキ処理を施す。これは、後述する半田バンプ形成時の不良率を抑えるためである。

【0036】図1(F)に移って、複数の開口部17にそれぞれ複数の半田バンプ18を形成する。半田バンプ(バンプ電極)18の高さは100μm程度である。この半田バンプ18は、例えば以下のような方法で形成できる。まず、半田リボンをダイスとポンチの組み合わせで打ち抜くことによって半田片を形成する。次に、半田片をフラックス等の粘着物で開口部17に固着する。最

後に、熱処理及びフラックス洗浄することで半田バンプ18を形成する。

【0037】図2にこの状態のウエハー40を示す。図2に示されるように、各半導体チップ間のスクライブライン13を除くウエハー40全面に格子状のバンプ電極18が形成されている。半導体チップ領域の内部に延在されるA1配線14が複数の開口部17を通るように配設されている。バンプ電極18はスクライブライン13を避けて形成されている。さらに、バンプ電極18は電極パッド11を避けて形成されている。

【0038】最後に、図1(G)に移って、ウエハー40上に形成された複数の半導体チップ領域をスクライブライン13に沿ってダイシングにより個々の半導体チップ10に分割する。

【0039】図4に示す従来のウエハーでは電極パッド11のピッチが0.1mm程度である。これに対して、図2に示すウエハーではバンプ電極18のピッチを0.5mm程度にまで広げることができる。したがって、図1(F)の半田バンプ18を形成する際、バンプ電極同士のショート不良を激減できる。また、実装基板上に実装する場合の実装歩留まりも向上する。更に、標準化もし易いという利点がある。また、半田バンプ18とNiメッキ15との結合強度も高い。

【0040】以上、本発明を実施例によって説明したが、本発明は上記実施例に限定せず、本発明の趣旨を逸脱しない範囲内で種々の変形・変更をしても良いのは勿論である。例えば、バンプとして半田バンプの代わりにAuバンプを使用しても良い。この場合には、Niメッキ15を施す工程やAuメッキ処理を省くことができる。

【0041】

【発明の効果】以上説明したように、本発明によれば、

ウエハー上で各半導体チップ領域に外周縁部に形成されている電極パッドを内側に引き回し、格子状にバンプ電極を再配列したので、大量に半導体装置を生産することができる。また、従来のチップ製造工程の延長であるので、新規投資が不要である。さらに、従来のような半導体ベアチップとキャリアフィルムとの接合部での信頼性上の不安がなく、耐T/C性が良好である。また、各界面の密着性が高いので、耐湿性も良好である。

【図面の簡単な説明】

10 【図1】本発明の一実施例による半導体装置の製造方法を示す断面図である。

【図2】本発明に係る半導体ウエハーを示す図で、

(a)は平面図、(b)は(a)の丸で囲んだ部分の拡大図、(c)は(b)のB-B'線で切った断面図である。

【図3】従来の半導体装置の製造方法を示す断面図である。

【図4】従来の半導体ウエハーを示す図で、(a)は平面図、(b)は(a)の丸で囲んだ部分の拡大図、

20 (c)は(b)のA-A'線で切った断面図である。

【符号の説明】

10 半導体チップ

11 電極パッド

12 パッシベーション膜

13 スクライブライン

14 A1配線

15 Niメッキ

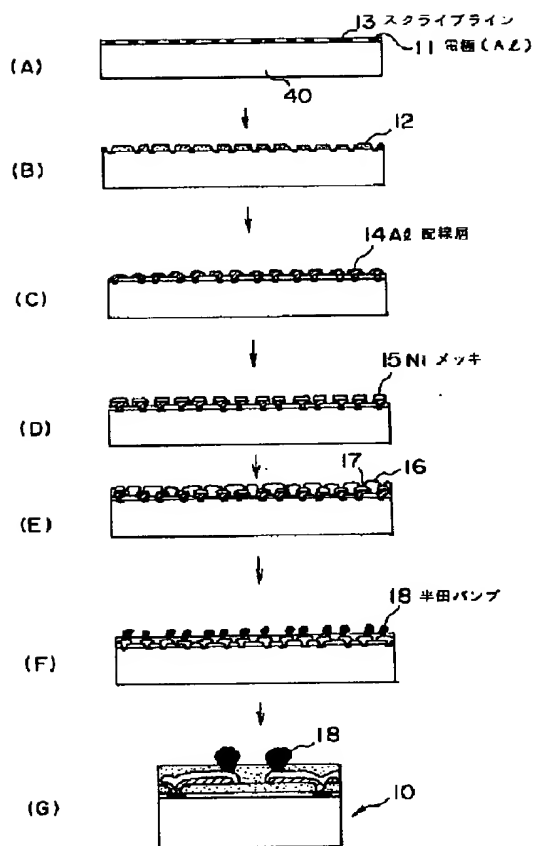
16 カバーコート膜

17 開口部

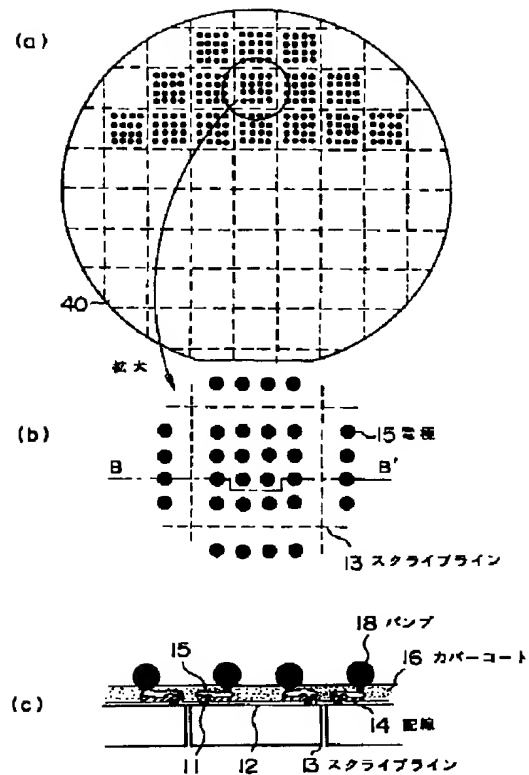
30 18 半田バンプ(バンプ電極)

40 ウエハー

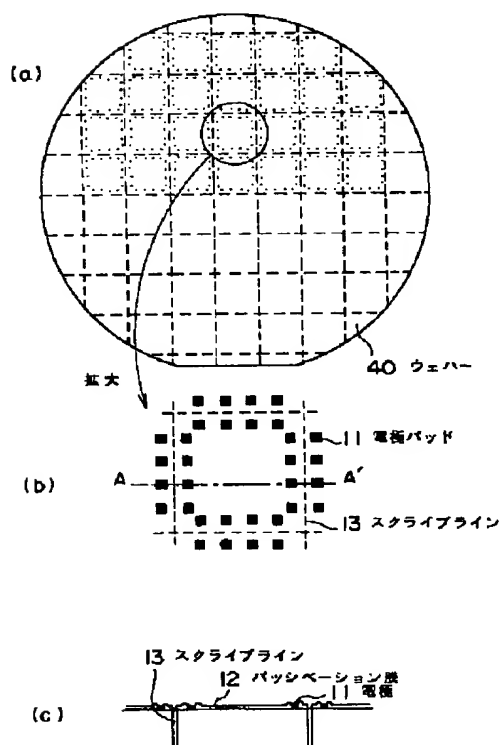
【図1】



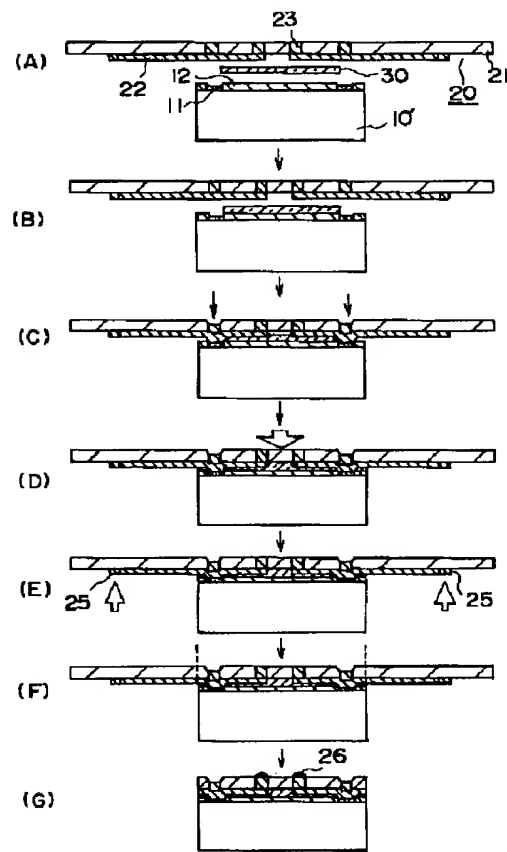
【図2】



【図4】



【図3】



(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08102466 A**

(43) Date of publication of application: **16.04.96**

(51) Int. Cl. **H01L 21/321**  
**H01L 21/60**

(21) Application number: **06237653**

(71) Applicant: **NEC CORP**

(22) Date of filing: **30.09.94**

(72) Inventor: **HO KEIICHIRO**  
**TONARI SHINICHI**

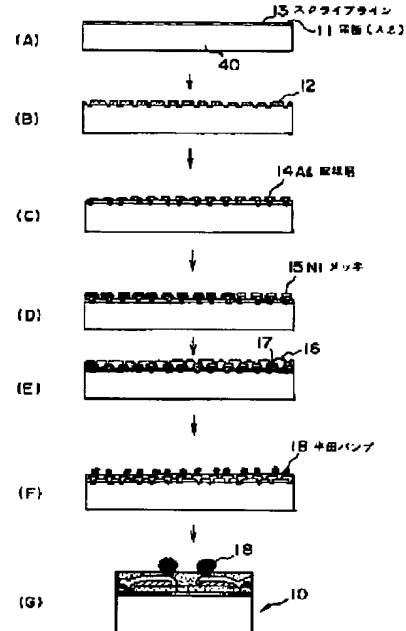
### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR WAFER

#### (57) Abstract:

**PURPOSE:** To manufacture a large number of semiconductor devices of high reliability in each bonding part and high adhesion of each interface.

**CONSTITUTION:** A plurality of semiconductor regions are formed on a wafer 40. In each of the regions, a plurality of electrode pads 11 are formed on the outer peripheral part. The whole surface of the wafer except a plurality of the electrode pads is covered with a passivation film 12. A plurality of wirings are so formed on the wafer that one ends are connected with a plurality of the respective electrode pads, and stretch inside the semiconductor chip regions. The whole surface of the wafer is covered with a cover coat film 16. A plurality of apertures 17 are formed lattice-wise in the cover coat film. Bumps 18 are formed in the apertures. A plurality of the semiconductor chip regions formed on the wafer are divided into individual semiconductor chips along scribe lines 13.

**COPYRIGHT:** (C)1996,JPO





(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-139401

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

識別記号

3 1 1

庁内整理番号

F I

H 0 1 L 21/60

技術表示箇所

3 1 1 S

審査請求 未請求 請求項の数 9 O L (全 6 頁)

(21) 出願番号

特願平7-298560

(22) 出願日

平成7年(1995)11月16日

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 堀内 道夫

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72) 発明者 松木 隆一

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

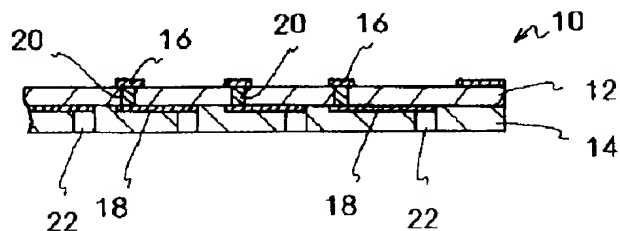
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 回路シート及びその製造方法並びに半導体装置

(57) 【要約】

【課題】 大型の半導体素子をプラスチック製の実装基板に、実質的に直接実装し得る回路シートを提供する。

【解決手段】 一面側に導体パターン18、18・・・を形成した、シリコンゴムから成る第1の弾性層12の他面側に、半導体素子の電極と接続される素子接続端子16、16・・・を形成すると共に、導体パターン18、18・・・を絶縁・被覆するシリコンゴムから成る第2の弾性層14に、外部接続端子と接続される導体パターン18、18・・・の端子部が露出する端子接続孔22、22・・・を形成し、且つ端子接続孔22、22・・・と導体パターン18、18・・・とを、第1の弾性層12を貫通するビア20、20・・・によって接続することを特徴とする。



## 【特許請求の範囲】

【請求項1】 ゴム状弾性を呈する第1の弾性層の一面側に形成された導体パターンが、ゴム状弾性を呈する第2の弾性層によって絶縁・被覆されていることを特徴とする回路シート。

【請求項2】 一面側に導体パターンが形成された第1の弾性層の他面側に、半導体素子の電極と接続される素子接続端子が形成されていると共に、導体パターンを絶縁・被覆する第2の弾性層に、外部接続端子と接続される導体パターンの端子部が露出する端子接続孔が形成され、  
且つ前記素子接続端子と導体パターンとが、前記第1の弾性層を貫通するビアによって接続されている請求項1記載の回路シート。

【請求項3】 第1の弾性層及び第2の弾性層が、シリコンゴムから成る回路シートである請求項1又は請求項2記載の回路シート。

【請求項4】 ゴム状弾性を呈する第1の弾性層の一面側に、所定形状の導体パターンを形成した後、前記第1の弾性層の一面側にゴム状弾性を呈する第2の弾性層を形成し、前記導体パターンを絶縁して被覆することを特徴とする回路シートの製造方法。

【請求項5】 金属箔の一面側に形成したゴム状弾性を呈する第1の弾性層に、金属箔が底面に露出し且つ第1の弾性層の一面側に開口する貫通孔を形成した後、前記貫通孔内に導体金属を充填してビアを形成し、  
次いで、前記第1の弾性層の一面側に、前記ビアと接続する所定形状の導体パターンを形成した後、ゴム状弾性を呈する第2の弾性層によって前記導体パターンを絶縁・被覆すると共に、外部接続端子と接続される前記導体パターンの端子部が露出する端子接続孔を前記第2の弾性層に形成し、  
その後、前記金属箔にエッチングを施して半導体素子の電極と接続される所定形状の素子接続端子を第1の弾性層の他面側に形成する請求項4記載の回路シートの製造方法。

【請求項6】 第2の弾性層に、半導体素子の電極と接続される素子接続端子が形成される素子接続端子孔を設けると共に、第1の弾性層の一面側に形成された金属箔にエッチングを施して外部接続端子を形成する請求項5記載の回路シートの製造方法。

【請求項7】 第1の弾性層及び第2の弾性層を、シリコンゴムによって形成する請求項4～6のいずれか一項記載の回路シートの製造方法。

【請求項8】 回路シートを形成するゴム状弾性を呈する第1の弾性層の一面側に形成された導体パターンが、ゴム状弾性を呈する第2の弾性層によって絶縁・被覆されていると共に、前記第1の弾性層の他面側に半導体素子が搭載されている半導体装置であって、  
該第1の弾性層の他面側に、半導体素子の電極と接続さ

れる素子接続端子が形成されていると共に、前記第2の弾性層を貫通する端子接続孔に、前記導体パターンと接続する外部接続端子が形成され、  
且つ前記素子接続端子と導体パターンとを電氣的に接続するビアが前記第1の弾性層を貫通して形成されていることを特徴とする半導体装置。

【請求項9】 第1の弾性層及び第2の弾性層が、シリコンゴムによって形成されている請求項8記載の半導体装置。

## 10 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は回路シート及びその製造方法並びに半導体装置に関し、更に詳細には大型の半導体素子の装着等に好適な回路シート及びその製造方法、並びに大型の半導体素子を装着し得る半導体装置に関する。

## 【0002】

【従来の技術】半導体素子は、年々高密度化しつつサイズも大型化している。かかる半導体素子を搭載するパッケージも多ピン化が余儀なくされ、パッケージサイズを必然的に大型化している。この様な、多ピン化に対応し得るパッケージとしては、セラミックBGA（ボールグリッド アレイ）やPBGA（プラスチック ボールグリッド アレイ）が知られている。しかし、セラミックBGAは、パッケージサイズの大型化に伴って、焼成時に発生するセラミック板の反り等も大きくなるため、製造コストが高価になり、且つFR4等のプラスチック製の実装基板との熱収縮差が顕著になる。一方、PBGAは、プラスチック製の実装基板との熱収縮差がセラミックBGAに比較し小さく、且つ製造コストもセラミックBGAよりも安価となるが、反りが生じ易く且つ放熱性に劣り、更に耐湿熱性等の耐環境性に問題がある。このため、半導体素子をパッケージに搭載することなくプラスチック製の実装基板に実質的に直接実装することが試みられている。

## 【0003】

【発明が解決しようとする課題】この様に、半導体素子をプラスチック製の実装基板に実質的に直接実装することが可能となれば、パッケージに起因する問題を解決することができる。しかしながら、半導体素子を主として形成するシリコンの線膨張率は、 $7 \sim 8 \times 10^{-6}/^{\circ}\text{C}$ 程度であるが、プラスチック製の実装基板の線膨張率は約 $15 \times 10^{-6}/^{\circ}\text{C}$ 程度である。この様に、両者の線膨張率が異なると、プラスチック製の実装基板に直接実装し得る半導体素子のサイズに限界が生じ、大型の半導体素子をプラスチック製の実装基板に実質的に直接実装することは極めて困難である。そこで、本発明の課題は、大型の半導体素子をプラスチック製の実装基板に、実質的に直接実装し得る回路シート及びその製造方法並びに半導体装置を提供することにある。

## 【0004】

【課題を解決する手段】本発明者等は、前記課題を解決するためには、半導体素子とプラスチック製の実装基板との間に介在させた、ゴム状弾性を呈する弾性層から成る回路シートによって、両者の線膨張率差を吸収することが有効であると考え検討した結果、本発明に到達した。すなわち、本発明は、ゴム状弾性を呈する第1の弾性層の一面側に形成された導体パターンが、ゴム状弾性を呈する第2の弾性層によって絶縁・被覆されていることを特徴とする回路シートにある。また、本発明は、ゴム状弾性を呈する第1の弾性層の一面側に、所定形状の導体パターンを形成した後、前記第1の弾性層の一面側にゴム状弾性を呈する第2の弾性層を積層し、前記導体パターンを絶縁して被覆することを特徴とする回路シートの製造方法にある。更に、本発明は、回路シートを形成するゴム状弾性を呈する第1の弾性層の一面側に形成された導体パターンが、ゴム状弾性を呈する第2の弾性層によって絶縁・被覆されていると共に、前記第1の弾性層の他面側に半導体素子が搭載されている半導体装置であって、該第1の弾性層の他面側に、半導体素子の電極と接続される素子接続端子が形成されていると共に、前記第2の弾性層を貫通する端子接続孔に、前記導体パターンと接続する外部接続端子が形成され、且つ前記素子接続端子と導体パターンとを電気的に接続するビアが前記第1の弾性層を貫通して形成されていることを特徴とする半導体装置でもある。

【0005】かかる本発明において、一面側に導体パターンを形成した第1の弾性層の他面側に、半導体素子の電極と接続される素子接続端子を形成すると共に、導体パターンを絶縁・被覆する第2の弾性層に、外部接続端子と接続される導体パターンの端子部が露出する端子接続孔を形成し、且つ前記素子接続端子と導体パターンとを、前記第1の弾性層を貫通するビアによって接続することによって、半導体装置用の回路シートとして好適に用いることができる。ここで、第1の弾性層及第2の弾性層をシリコンゴムによって形成すると、弾性層及び絶縁性樹脂層がゴム状弾性を呈すると共に、耐熱性も併せて呈することができる。

【0006】この様な、半導体装置用の回路シートは、金属箔の一面側に形成したゴム状弾性を呈する第1の弾性層に、金属箔が底面に露出し且つ第1の弾性層の一面側に開口する貫通孔を形成した後、前記貫通孔内に導体金属を充填してビアを形成し、次いで、前記第1の弾性層の一面側に、前記ビアと接続する所定形状の導体パターンを形成した後、ゴム状弾性を呈する第2の弾性層によって前記導体パターンを絶縁・被覆すると共に、外部接続端子と接続される導体パターンの端子部が露出する端子接続孔を前記第2の弾性層に形成し、その後、前記金属箔にエッチングを施して半導体素子の電極と接続される所定形状の素子接続端子を第1の弾性層の他面側に

形成することによって得ることができる。尚、第2の弾性層に、半導体素子の電極と接続される素子接続端子が形成される素子接続端子孔を設けると共に、第1の弾性層の一面側に形成された金属箔にエッチングを施して外部接続端子としてもよい。

【0007】かかる本発明によれば、半導体素子をプラスチック製の実装基板に実装する場合、導体パターンが形成されたゴム状弾性を呈する第1の弾性層と第2の弾性層とから成る回路シートを介して両者が電気的に接続される。このため、半導体素子と実装基板との線膨張率差が顕在化しても、この線膨張率差は第1の弾性層と第2の弾性層とが変形して吸収できる結果、大型化した半導体素子でも、薄い回路シートを介在させることによって実装基板に実質的に直接実装できる。

## 【0008】

【発明の実施の形態】本発明を図面を用いて更に詳細に説明する。図1は、本発明に係る半導体装置用の回路シートの一例を示す部分断面図である。図1に示す回路シート10はシリコンゴムから成る第1の弾性層12と第2の弾性層14とから構成されている。かかる第1の弾性層12及び第2の弾性層14は、共にゴム状弾性を呈する可撓性シート体である。この第1の弾性層12の一面側に形成された導体パターン18、18・・・は、ゴム状弾性を呈する第2の弾性層14によって絶縁・被覆されている。更に、第1の弾性層12の他面側に形成された、半導体素子の電極と接続される素子接続端子16、16・・・は、第1の弾性層12に形成された貫通孔内に導体金属が充填されて成るビア20、20・・・を介して導体パターン18、18・・・に接続されている。また、導体パターン18、18・・・を絶縁・被覆する第2の弾性層14には、外部接続端子と接続される導体パターン18、18・・・の端子部が露出する端子接続孔22、22が形成されている。この様に、素子接続端子16、16・・・と導体パターン18、18・・・とをビア20、20・・・により接続することによって、ビア20、20・・・上に素子接続端子16、16・・・や導体パターン18、18・・・を形成できるため、導体パターン18、18・・・等を高密度に形成できる。このため、後述する様に、半導体素子をフリップチップ方式によって搭載する場合であっても、半導体素子の電極密度に適合した素子接続端子16、16・・・を形成できる。この点、素子接続端子16、16・・・と導体パターン18、18・・・とをスルーホールによって接続する場合には、スルーホール上を避けて素子接続端子16、16・・・や導体パターン18、18・・・を形成しなければならず、導体パターン18、18・・・等の高密度化には限界が生ずる。

【0009】かかる図1に示す回路シート10は、図2に示す方法で製造できる。先ず、金属箔24の一面側に、シリコンゴムから成る第1の弾性層12を形成す

る〔図2(a)〕。このシリコンゴムとしては、市販されている二液性シリコンゴムペーストを使用でき、塗布したシリコンゴムペーストには、加熱雰囲気中でキュアを施すことによって第1の弾性層12を形成できる。かかる第1の弾性層12にレーザー等で形成した貫通孔内に、めっき等によって銅等の導体金属を充填してビア20、20・・・を形成する〔図2(b)〕。この貫通孔の底面には金属箔24が露出しているため、金属箔24とビア20、20・・・とは接続されている。尚、ビア20、20・・・を、第1の弾性層12に形成した貫通孔内に導電性樹脂を充填して形成してもよい。

【0010】次いで、第1の弾性層12の一面側に、ビア20、20・・・が接続された導体パターン18、18・・・を形成する〔図2(c)〕。この導体パターン18、18・・・は、例えばアディティブ法によって形成できる。つまり、第1の弾性層12の一面側全面にスパッタ法等で形成した薄膜金属層上に塗布した感光性レジスト層に所望パターンを感光させた後、所望パターンに倣って感光性レジスト層を除去して薄膜金属層を露出させる。更に、露出した薄膜金属層上に電解めっき等により金属層を盛り上げた後、残存した感光性レジスト層で覆われていた薄膜金属層を除去することによって、導体パターン18、18・・・を形成できる。或いは、第1の弾性層12の一面側全面に形成した薄膜金属層上に塗布した感光性レジスト層に所望パターンを感光させた後、所望パターンに倣って残存させる感光性レジスト層を除き、他の感光性レジスト層を除去して露出した薄膜金属層を除去する。更に、残存した感光レジスト層を除去して露出した薄膜金属層上に、電解めっき等により金属層を盛り上げることによって、導体パターン18、18・・・を形成できる。尚、形成した導体パターン18、18・・・には、必要に応じてニッケルめっき等を施してもよい。

【0011】この様に、形成した導体パターン18、18・・・を、市販されている二液性シリコンゴムペースト等をスクリーン印刷等で塗布して形成したシリコンゴムから成る第2の弾性層14によって絶縁・被覆する。この第2の弾性層14には、図2(d)に示す様に、外部接続端子が装着される端子接続孔22、22・・・が形成されている。この端子接続孔22、22・・・は、スクリーン印刷時に形成できる。かかる端子接続孔22、22・・・には、第2の弾性層14を貫通し、底面に導体パターン18、18・・・の端子部が露出している。このため、露出している導体パターン18、18・・・の端子部には、金めっき等のめっきを施してもよい。この様に、形成された端子接続孔22、22・・・に装着される外部接続端子は、導体パターン18、18・・・の端子部に接続される。更に、第1の弾性層12の他面側に形成された金属箔24には、エッチングレジスト等を塗布してからパターンエッチングを施し、図1に示す様

に、半導体素子の電極と接続される素子接続端子16、16・・・を形成できる。尚、図2(a)～(d)の工程を繰り返すことによって、回路シート10を多層回路シートとすることができ、形成した素子接続端子16、16・・・には、必要に応じてニッケルめっき及び金めっき等を施してもよい。

【0012】得られた図1に示す回路シート10は、半導体装置用に好適である。このため、図1に示す回路シート10を使用した半導体装置を図3に示す。回路シート10において、搭載された半導体素子28の一面側に形成された電極30、30・・・が素子接続端子16、16・・・にフリップチップ方式によって接続され、且つ外部接続端子としてのはんだボール32、32・・・が端子接続孔22、22・・・に装着されている。従って、半導体素子28の電極30とはんだボール32とは、素子接続端子16、ビア20、及び導体パターン18を介して電気的に接続されている。また、素子接続端子16と半導体素子28の電極30との接続部分は、ポッティングにより形成された封止樹脂層34によって封止され、且つ回路シート10に搭載された半導体素子28の他面側は、放熱性を向上すべくセラミック製のキャップ36の内面に密着されている。

【0013】この様な、図3に示す半導体装置においては、第1の弾性層12を20～100 $\mu$ mで且つ第2の弾性層14を20～100 $\mu$ m程度とすることができ、回路シート10を極めて薄く形成できる。従って、半導体素子28をプラスチック製の実装基板38に実質的に直接実装できる。しかも、シリコン製の半導体素子28と実装基板38との線膨張率差が顕在化した場合、回路シート10を形成する第1の弾性層12及び第2の弾性層14が変形して吸収できるため、半導体素子28を大型化しても、半導体素子28と実装基板38との線膨張率差に起因して半導体素子28等に発生し易い亀裂等を防止できる。また、はんだボール32を端子接続孔22に装着することによって、半導体装置を実装した後、はんだボール32に加えられる応力を端子接続孔22によって緩和することができる。

【0014】図1に示す回路シート10は、図3に示す様に、半導体装置用に使用される他に、半導体素子28に形成された回路が正常か否かを検査する検査装置にも使用できる。かかる検査装置の概要を図4に示す。図4において、シリコンゴムから成るゴム状弾性を呈する第1の弾性層12の一面側には、導体パターン18、18・・・が形成されていると共に、第1の弾性層12の他面側には、支持基板40に形成された検査回路に接続される接続端子44、44・・・が形成されている。この接続端子44、44・・・は、図1に示す素子接続端子16、16・・・と同様にして形成される。また、導体パターン18、18・・・を被覆する、シリコンゴムから成るゴム状弾性を呈する第2の弾性層14には、半導体

素子28の電極に接続されるバンプとしての金属ボール42、42・・・が形成されている。かかる金属ボール42、42・・・は、第2の弾性層14に形成された素子接続端子孔に露出する導体パターン18の端子部に、電解ニッケル又は銅めっきによって形成したバンプの表面に、金めっきを施したものである。この金属ボール42、42・・・は、支持基板40に形成された検査回路に接続された接続端子44、44・・・に、導体パターン18、18・・・を介して電氣的に接続されている。

【0015】このため、金属ボール42、42・・・の各々に、半導体素子28の各端子を押圧して接続させることによって、半導体素子28の回路が正常であるか否かを検査できる。ところで、半導体素子28の各電極及び各金属ボール42、42・・・の各々の端面は、必ずしも同一平面上に形成されておらず、多少の凹凸が存在するため、金属ボール42、42・・・上に半導体素子28の各電極を単に載置したのみでは、両者の接続を完全に取り出すことはできない。この点、図4に示す回路シートを構成する第1の弾性層12及び第2の弾性層14が共にゴム状弾性を呈するため、かかる回路シートに形成された金属ボール42、42・・・上に各電極が対応するように載置した半導体素子28を、金属ボール42、42・・・方向（図4の矢印方向）に押圧することによって、両者の接続を完全に取り出すことができる。

【0016】すなわち、ゴム状弾性を呈する第1の弾性層12及び第2の弾性層14から成る回路シートに形成された金属ボール42、42・・・の各々は、第1の弾性層12及び第2の弾性層14からの弾発力を受けつつ押圧されて沈み込むことが可能である。このため、金属ボール42、42・・・の各々に、各電極が対応するように載置された半導体素子28を押圧することによって、金属ボール42、42・・・の各々は、対応する半導体素子28の電極端面の凹凸等に応じて沈み込むことができると共に、半導体素子28の各電極は、第1の弾性層12及び第2の弾性層14からの弾発力によって対応する金属ボール42に端面に押しつけられる結果、両者の接続を完全とすることができるのである。尚、以上、述べてきた図1に示す回路シート10は、半導体装置や検査装置に使用する例を述べたが、ゴム状弾性を呈する第1の弾性層12の一面側に形成した、導体パターン18を、ゴム状弾性を呈する第2の弾性層14によって絶縁・被覆して得た回路シートを、コネクタ用の回路シート等としても使用できる。

【0017】

【実施例】半導体装置用の回路シートの製造方法について、更に詳細に説明する。まず、厚さ約18 $\mu$ mの銅箔上に、市販されている付加型二液性シリコンゴムペーストを印刷した後、乾燥窒素ガス雰囲気下において、150℃で約1時間放置してキュアすることによって、図2(a)に示す金属箔24の一面側に、シリコンゴム

から成る第1の弾性層12を形成する。この第1の弾性層12の厚さは、約20 $\mu$ mであった。この第1の弾性層12にエキシマレーザーによって形成した貫通孔内に、電解めっきによって銅を充填し、図2(b)に示すビア20、20・・・を形成した。このビア20、20・・・は、金属箔24と接続されている。次いで、第1の弾性層12の一面側に図2(c)に示す導体パターン18、18・・・を形成する。この導体パターン18、18・・・には、まず、第1の弾性層12の一面側全面に、スパッター法で厚さ1 $\mu$ m以下の銅層から成る薄膜金属層を形成し、この薄膜金属層上に塗布した感光性レジスト層に所望パターンを感光させる。更に、所望パターンに倣って感光性レジスト層を除去した後、露出した薄膜金属層上に電解めっき等により金属層を盛り上げ、その後、残存した感光性レジスト層で覆われていた薄膜金属層を除去することによって、導体パターン18、18・・・を形成した。本実施例においては、形成した導体パターン18、18・・・には、電解ニッケルめっきを施した。尚、この導体パターン18、18・・・には、ビア20、20・・・が接続されている。

【0018】かかる導体パターン18、18・・・が形成された第1の弾性層12の一面側には、市販されている付加型二液性シリコンゴムペーストを、外部接続端子が装着される端子接続孔が形成される部分を除きスクリーン印刷によって塗布した後、乾燥窒素ガス雰囲気中で加熱しつつ約10分間放置してキュアし、図2(d)に示す第2の弾性層14を形成した。このキュアの際に、雰囲気温度を150℃と200℃との二段階とした。形成された第2の弾性層14には、はんだボール等の外部接続端子が装着される端子接続孔22が形成されており、端子接続孔22の底面には導体パターン18の端子部が露出している。このため、本実施例においては、露出した導体パターン18の端子部に金めっきを施した。更に、第1の弾性層12の他面側に形成された金属箔24上には、エッチングレジストを形成し、パターンエッチングを施すことによって、図1に示す素子接続端子16、16・・・を形成できる。この素子接続端子16、16・・・には、ニッケルめっき及び金めっきを施した。

【0019】

【発明の効果】本発明によれば、大型化した半導体素子でも、実装基板に実質的に直接実装できるため、半導体素子の大型化等に容易に対応することが可能である。

【図面の簡単な説明】

【図1】本発明に係る回路シートの一例を示す部分縦断面図である。

【図2】図1に示す回路シートの製造方法を示す工程図である。

【図3】図1に示す回路シートを用いた半導体装置を示す部分断面図である。

【図4】図1に示す回路シートを用いた半導体素子の検

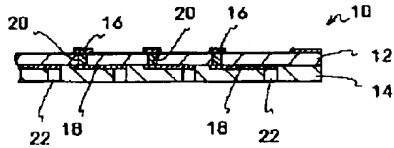
査装置を示す部分断面図である。

【符号の説明】

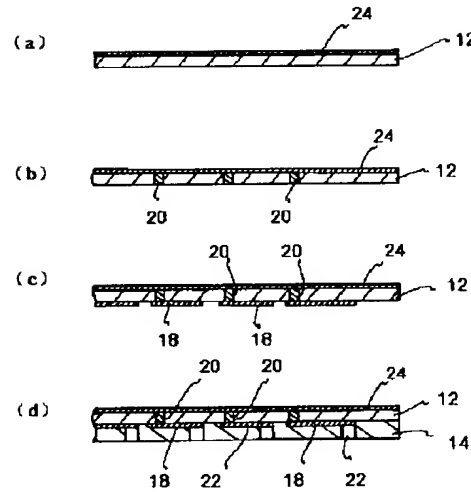
- 10 回路シート
- 12 第1の弾性層
- 14 第2の弾性層
- 16 素子接続端子

- 18 導体パターン
- 20 ビア
- 22 端子接続孔
- 28 半導体素子
- 30 半導体素子の電極

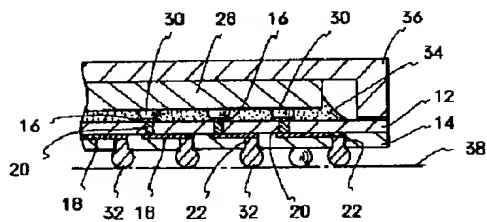
【図1】



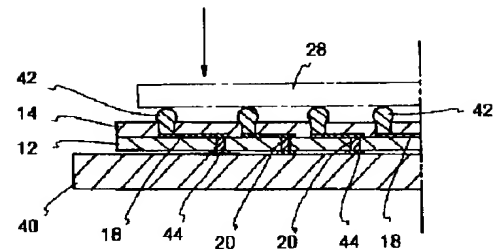
【図2】



【図3】



【図4】



(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09139401 A**

(43) Date of publication of application: **27.05.97**

(51) Int. Cl

**H01L 21/60**

(21) Application number: **07298560**

(22) Date of filing: **16.11.95**

(71) Applicant: **SHINKO ELECTRIC IND CO LTD**

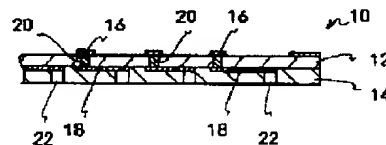
(72) Inventor: **HORIUCHI MICHIO  
MATSUKI RYUICHI**

### (54) **CIRCUIT SHEET, ITS MANUFACTURE, AND SEMICONDUCTOR DEVICE**

#### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a circuit sheet which allows a large-sized semiconductor element to be mounted on a plastic circuit board effectively in a direct manner.

**SOLUTION:** A first elastic layer 12 of silicone rubber has conductor patterns 18 on one side, and terminals 16 to be connected with electrodes of semiconductor devices on the other side. The conductor patterns 18 are covered and insulated by a second elastic layer 14 of silicone rubber having connection holes 22 through which the conductor patterns 18 are exposed. The terminals 16 and the conductor patterns 18 are interconnected through vias 20 that penetrate the first elastic layer 12.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-78574

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
C 0 8 G 77/00				
H 0 1 L 21/60	3 1 1 R	7726-4E		
			H 0 1 L 23/ 12	L
				Q
審査請求 未請求 請求項の数13 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平6-214428

(22) 出願日 平成6年(1994)9月8日

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 堀内 道夫

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 原山 洋一

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

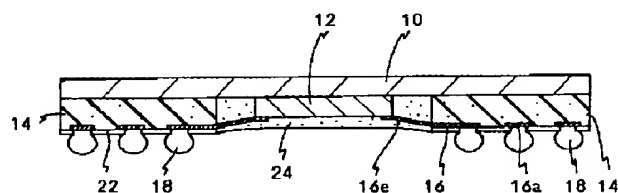
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 実装時の熱応力の問題を解消し、多ピン化にも好適に対応でき、熱放散性にも優れた半導体装置を提供する。

【構成】 パッケージ基板10上に半導体チップ12が接合され、前記パッケージ基板10上の前記半導体チップ12の搭載部の周囲に電氣的絶縁性を有する弾性体層14が被着形成され、該弾性体層14の外面に、一端部に外部接続端子18が接合され他端部が前記半導体チップ12に接続された配線パターン16aがベースフィルム22上に設けられた配線パターン付きフィルムが接合され、前記半導体チップ12がポッティングにより封止されて成る。





## 【特許請求の範囲】

【請求項1】 パッケージ基板上に半導体チップが接合され、

前記パッケージ基板上の前記半導体チップの搭載部の周囲に電氣的絶縁性を有する弾性体層が被着形成され、該弾性体層の外面に、一端部に外部接続端子が接合され他端部が前記半導体チップに接続された配線パターンがベースフィルム上に設けられた配線パターン付きフィルムが接合され、

前記半導体チップがポッティングにより封止されて成ることを特徴とする半導体装置。

【請求項2】 前記配線パターン付きフィルムが、接合孔または接合孔とデバイスホールが形成されたベースフィルムと、

該ベースフィルム上に形成された配線パターンとから成り、

前記配線パターンの一端部が前記接合孔に露出し、前記配線パターンの他端部が前記デバイスホールに延出するか、または前記配線パターン付きフィルムの半導体チップ接続部分に引き回されており、

前記配線パターン付きフィルムの配線パターンを形成した面が前記弾性体層の外面に接合されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記弾性体層がゴム弾性を有する弾性体によって形成されたことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記弾性体層がシリコンゴムまたはシリコンを主成分とするゴムによって形成されたものであることを特徴とする請求項3記載の半導体装置。

【請求項5】 パッケージ基板が平板状に形成され前記弾性体層の厚さが前記半導体チップよりも厚く形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項6】 パッケージ基板が半導体チップの搭載部にキャビティが設けられたものであることを特徴とする請求項1記載の半導体装置。

【請求項7】 パッケージ基板が、窒化アルミニウムセラミック、炭化ケイ素セラミック、アルミナセラミック、ムライトセラミックのいずれかであることを特徴とする請求項1、5または6記載の半導体装置。

【請求項8】 パッケージ基板が銅、アルミニウム、銅-アルミニウム合金、鉄-ニッケル合金、鉄-コバルト-ニッケル合金のいずれかであることを特徴とする請求項1、5または6記載の半導体装置。

【請求項9】 ベースフィルムがポリイミドあるいはガラスエポキシ製であることを特徴とする請求項1または2記載の半導体装置。

【請求項10】 外部接続端子がはんだボールであることを特徴とする請求項1記載の半導体装置。

【請求項11】 外部接続端子が挿入用あるいは表面実

装用のリードピンであることを特徴とする請求項1記載の半導体装置。

【請求項12】 パッケージ基板の半導体チップ搭載部の周囲に弾性体層を接合し、

該弾性体層の外面に、半導体チップが接続された配線パターンを有する配線パターン付きフィルムを接合するとともに、前記半導体チップの背面をパッケージ基板に接合し、

該半導体チップをポッティングにより封止した後、前記配線パターン付きフィルムの配線パターンの一端部に外部接続端子を接合することを特徴とする半導体装置の製造方法。

【請求項13】 前記配線パターン付きフィルムが、ベースフィルムに接合孔または接合孔とデバイスホールを形成し、

該ベースフィルム上に、一端部が前記接合孔に露出し、他端部が前記デバイスホールに延出するか、または前記配線パターン付きフィルムの半導体チップ接続部分に引き回されるように配線パターンを形成して製造され、

該配線パターンを形成した面を前記弾性体層の外面に接合することを特徴とする請求項12記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体素子の高密度実装化にともない最近ではきわめて多ピンの半導体装置が求められているが、低コストで高密度表面実装に適する半導体装置としてボールグリッドアレイ（BGA）構造の製品の実用化が検討されている。このボールグリッドアレイ構造は従来のクアドフラットパッケージ（QFP）といった半導体装置にくらべてリード配置をそれほど高密度にしなくても多数の外部接続端子を配置することができ、実装工程での歩留りが高いという利点がある。

【0003】

【発明が解決しようとする課題】 しかしながら、従来のボールグリッドアレイ構造の半導体装置には実装基板とパッケージ基板との間の熱膨張係数の差による熱応力によってパッケージ基板にクラックが生じたりパッケージ基板が変形したりするといった問題点があった。半導体装置の実装基板には通常ガラスエポキシ基板が使用されるが、このガラスエポキシ基板の熱膨張係数は約 $15 \times 10^{-6} / ^\circ\text{C}$ であり、たとえばパッケージ基板にアルミナセラミックを使用したとすると熱膨張係数は約 $7 \times 10^{-6} / ^\circ\text{C}$ 、窒化アルミニウムセラミックの場合は約 $4 \times 10^{-6} / ^\circ\text{C}$ で、実装基板にくらべてパッケージ基板の熱膨張係数はかなり小さくなる。このため、パッケージ基板にセラミックを使用した場合は実装基板と半導体装置との間

の熱応力が無視できなくなる。

【0004】一方、パッケージ基板の材料にプラスチックを使用する場合は実装基板の熱膨張係数と同じか非常に近い値の材料が使用でき、これによって熱膨張係数のマッチングを図ることは可能であるが、半導体チップとパッケージ基板との熱膨張係数を比べるとパッケージ基板の熱膨張係数の方が著しく大きくなるからパッケージ基板と半導体チップとの間での熱応力が問題になる。また、プラスチックはある程度フレキシブルであるため樹脂モールドの際の樹脂シュリンクによってパッケージ基板が反ることや、プラスチックを用いた半導体装置の場合は一般に熱放散性が劣るという問題点がある。これらの問題を解消する方法として金属コアを有するパッケージ基板が考えられているが、この製品は製造コストが高くなるという問題点がある。

【0005】ところで、低コストの表面実装型の半導体装置としてはテープキャリアパッケージ(TCP)がある。これはTABテープに半導体チップを接続し、ポッティングにより半導体チップを封止した簡単な構造のものである。しかし、このTCPはリードが変形しやすく製品の取扱いが難しいという問題点があり、この問題を解消するため広い範囲でポッティングしたり樹脂モールドすることによって保形性を得るといった方法もあるが、その場合は半導体装置の放熱性が低下してしまうという問題点があった。

【0006】そこで、本発明はこれらの問題点を解消すべくなされたものであり、その目的とするところは、半導体装置の構成としてきわめて簡易な構成を採用することと、実装の際における実装基板とパッケージ基板との熱膨張係数の差による熱応力の問題を回避でき、かつ良好な熱放散性が得られるといった特徴を有する半導体装置およびその好適な製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、パッケージ基板上に半導体チップが接合され、前記パッケージ基板上の前記半導体チップの搭載部の周囲に電氣的絶縁性を有する弾性体層が被着形成され、該弾性体層の外面に、一端部に外部接続端子が接合され他端部が前記半導体チップに接続された配線パターンがベースフィルム上に設けられた配線パターン付きフィルムが接合され、前記半導体チップがポッティングにより封止されて成ることを特徴とする。また、前記配線パターン付きフィルムが、接合孔または接合孔とデバイスホールが形成されたベースフィルムと、該ベースフィルム上に形成された配線パターンとから成り、前記配線パターンの一端部が前記接合孔に露出し、前記配線パターンの他端部が前記デバイスホールに延出するか、または前記配線パターン付きフィルム

ムの半導体チップ接続部分に引き回されており、前記配線パターン付きフィルムの配線パターンを形成した面が前記弾性体層の外面に接合されているものが好適である。また、前記弾性体層がゴム弾性を有する弾性体によって形成されたもの、前記弾性体層がシリコンゴムまたはシリコンゴムを主成分とするゴムによって形成されたものが好適に用いられる。また、パッケージ基板が平板状に形成され前記弾性体層の厚さが前記半導体チップよりも厚く形成されたもの、パッケージ基板が半導体チップの搭載部にキャビティが設けられたものであることを特徴とする。また、パッケージ基板が、窒化アルミニウムセラミック、炭化ケイ素セラミック、アルミナセラミック、ムライトセラミックのいずれかであること、また、パッケージ基板が銅、アルミニウム、銅-アルミニウム合金、鉄-ニッケル合金、鉄-コバルト-ニッケル合金のいずれかであることを特徴とする。また、ベースフィルムがポリイミドあるいはガラスエポキシ製であることを特徴とする。また、外部接続端子がはんだボールであることを特徴とする。また、外部接続端子が挿入用あるいは表面実装用のリードピンであることを特徴とする。

【0008】また、半導体装置の製造方法において、パッケージ基板の半導体チップ搭載部の周囲に弾性体層を接合し、該弾性体層の外面に、半導体チップが接続された配線パターンを有する配線パターン付きフィルムを接合するとともに、前記半導体チップの背面をパッケージ基板に接合し、該半導体チップをポッティングにより封止した後、前記配線パターン付きフィルムの配線パターンの一端部に外部接続端子を接合することを特徴とする。また、前記配線パターン付きフィルムが、ベースフィルムに接合孔または接合孔とデバイスホールを形成し、該ベースフィルム上に、一端部が前記接合孔に露出し、他端部が前記デバイスホールに延出するか、または前記配線パターン付きフィルムの半導体チップ接続部分に引き回されるように配線パターンを形成して製造され、該配線パターンを形成した面を前記弾性体層の外面に接合することを特徴とする。

【0009】

【作用】本発明に係る半導体装置は、パッケージ基板の片面に半導体チップを搭載し、ポッティングにより半導体チップを封止するとともに、パッケージ基板に被着した弾性体層の外面に接合した配線パターン付きフィルムを介して半導体チップと外部接続端子とを電氣的に接続して成る。外部接続端子は配線パターンの一端部に接合され、配線パターンの他端部には半導体チップが接続される。外部接続端子は弾性体層を介してパッケージ基板に支持されており、弾性体層が熱応力を回避する緩衝層として作用する。これによって、パッケージ基板と半導体チップとの熱膨張係数をマッチングさせると共に、実装基板とパッケージ基板との間の熱応力の問題を解消す

ることができる。半導体装置の製造にあたっては、弾性体層、配線パターン付きフィルム、半導体チップをパッケージ基板に対して位置合わせし、一体的に接合することによって組み立てる。これによって、きわめて容易に半導体装置を形成することが可能になる。

#### 【0010】

【実施例】以下、本発明の好適な実施例を添付図面に基づいて説明する。図1は本発明に係る半導体装置の一実施例の構成を示す断面図である。この実施例の半導体装置は、平板状に形成した窒化アルミニウムセラミックの

パッケージ基板10の一方の面に半導体チップ12を搭載し、半導体チップ12の搭載部を除くその周囲に弾性体層14としてシリコンゴムシートを被着し、弾性体層14の外面に配線パターン付きフィルム16を接合し、さらに、配線パターン付きフィルム16に形成した配線パターン16aに外部接続端子18としてはんだボールを接合して成る。

【0011】パッケージ基板10を形成する窒化アルミニウムセラミック基板は、粉末成形法で成形し、窒素雰囲気中において1830℃で焼成し、大気中1020℃で表面酸化処理したものを使用した。パッケージ基板はグリーンシート法により形成したものをを用いてもよいが、粉末成形法の方が安価に形成できる。なお、パッケージ基板10に用いるセラミック基板としては、窒化アルミニウムセラミックの他、炭化ケイ素セラミック、アルミナセラミック、ムライトセラミックが好適に使用できる。半導体装置の熱放散性が重要である場合は窒化アルミニウムセラミックあるいは炭化ケイ素セラミックが有効であり、半導体装置の製造コストが問題になる場合はアルミナセラミックが有用である。ムライトセラミックは半導体チップ（シリコン）に熱膨張係数が近く、比較的

低コストである点で有用である。

【0012】実施例の半導体装置のパッケージ基板10は単なる平板状に形成したものを使用するから、弾性体層14はパッケージ基板10に搭載する半導体チップ12を収容するキャビティを形成するという目的を有する。そのため、弾性体層14は半導体チップ12の厚さよりも厚いものを使用する必要がある。なお、図2に示す実施例はパッケージ基板10の半導体チップ12の搭載部にキャビティ20を設けた半導体装置の例である。この実施例の半導体装置の場合はキャビティ22に半導体チップ12を収容するから、弾性体層14を薄くできるという利点がある。

【0013】また、弾性体層14はその外面に配線パターン付きフィルム16の配線パターン16aを形成した面を接合するから、電氣的絶縁性を有する必要がある。弾性体層14としてはゴム弾性を有するものであればよく材料は限定されないが、シリコンゴムが好適である。弾性体層14としてシリコンゴムシートを使用すると、電氣的絶縁性ととも

にゴム弾性を付与させるのは半導体装置を実装した際に実装基板とパッケージ基板との熱膨張係数の相違によってパッケージ基板に作用する熱応力を弾性体層14の緩衝作用によって回避するためである。

【0014】シリコンゴムシートは広い温度範囲にわたってゴム弾性を有する素材であり弾性体層14として半導体装置に好適に使用することができる。一般に市販されているシリコンゴムは-50℃~250℃の温度範囲でゴム弾性を有している。なお、シリコンゴムは10<sup>-4</sup>/℃といった大きな熱膨張係数を有するから、必要に応じて低熱膨張係数を有するフィラーを加えて熱膨張係数を小さくするようにするのがよい。フィラーとしては非晶質シリカの微粉が好適である。実施例では、溶融シリカ粉末（平均粒径約0.3μm）を約20体積パーセント添加したシリコンを主成分とするゴムを使用した。

【0015】弾性体層14は半導体チップ12の搭載範囲を貫通孔とした弾性体シートを接着剤でパッケージ基板10に接合して取り付ける。実施例では矩形の枠状に形成した厚さ約0.55mmのシリコンゴムシートの両面に未硬化状態のシリコンゴムコンパウンドを塗布し、シリコンゴムシートをパッケージ基板10に接合して弾性体層14とした。

【0016】配線パターン付きフィルム16は弾性体層14の外面に接合し、配線パターン16aに接合する外部接続端子18と半導体チップ12とを電氣的に接続するが、本実施例では配線パターン付きフィルム16にあらかじめ半導体チップ12を接続してから、配線パターン付きフィルム16の配線パターン16aを形成した面を弾性体層14に接合するようにした。なお、パッケージ基板10に弾性体層14をあらかじめ接合してから配線パターン付きフィルム16を弾性体層14に接合するかわりに、配線パターン付きフィルム16に弾性体層14を接合してから、弾性体層14と半導体チップ12とをパッケージ基板10に接合することも可能である。また、弾性体層14はシリコンゴムコンパウンドを塗布して被着形成してもよい。

【0017】配線パターン付きフィルム16は3層TABテープあるいは2層TABテープを製造する方法と同様な方法によって得られる。図3に配線パターン付きフィルム16の部分的な断面図を示す。配線パターン付きフィルム16は電氣的絶縁性を有するベースフィルム22の片面に配線パターン16aを形成したもので、ベースフィルム22の片面に被着した金属箔をエッチングして配線パターン16aを形成する。配線パターン16aを形成する金属箔としては製造コストおよび特性上から銅箔が最適であり、通常は17μm~70μm程度の厚さの電解銅箔が用いられる。

【0018】ベースフィルム22には半導体チップ12

を収容するためのデバイスホール16b、外部接続端子を接合するための接合孔16cを設ける。ベースフィルム22としてはポリイミドあるいはガラスエポキシ製のものが用いられるが、好適には耐熱性の高いポリイミドが用いられる。その厚さは50 $\mu$ m~125 $\mu$ mで、とくに75 $\mu$ m~120 $\mu$ mのものが用いられる。接合孔16cには外部接続端子を接合するため配線パターン16aの一端部が露出して形成される。配線パターン16aの他端部は半導体チップ12に接続するためデバイスホール16b内にリード状に延出し接続用リード16eとなる。

【0019】実施例では接続用リード16eにニッケルめっきおよび金めっきを施し、バンプ付き半導体チップ12をシングルポイントボンディングした。なお、配線パターン付きフィルム16とシリコンゴムシートの弾性体層14および弾性体層14とパッケージ基板10とは前述したシリコンゴムコンパウンドによって接合するが、半導体チップ12とパッケージ基板10とは銀エポキシ接着剤により接合する。実際には、弾性体層14となるシリコンゴムシートをパッケージ基板10に接合した後、シリコンゴムシートと配線パターン付きフィルム16、半導体チップ12とパッケージ基板10とを各々位置合わせして配置し、フィクスチャーにより僅かに荷重をかけながら150℃でキュアして各々一体化した。

【0020】半導体チップ12とパッケージ基板10とを接合する場合はパッケージ基板10がセラミックの場合は、金-すず（金80%-すず20%）はんだによって接合する方法が低熱抵抗であることと処理温度が約280℃で工程上有利である点で好ましい。ただし、金-すずはんだを使用する場合はセラミック基板にメタライズを施す必要があり、セラミックも熱膨張係数の小さな窒化アルミニウムセラミックやムライトセラミックが望ましい。メタライズなしで使用できるものとしては銀エポキシ接着剤あるいは銀ポリイミド接着剤が好適である。

【0021】半導体チップ12をパッケージ基板10に搭載した後、ポッティング法により半導体チップ12を気密に封止する。ポッティング液としてはビスフェノール系エポキシ樹脂あるいはシリコンゴムが用いられる。24がポッティング材である。弾性体層14としてゴム弾性を有する材料を使用する場合は、弾性体層14との相性から二液型シリコンゴムを使用するのが好適である。実施例では半導体チップ12が収容されているデバイスホール16bあるいはキャビティ20内にシリコンゴムのポッティング液を描画方式によりポッティングし150℃でキュアして封止した。

【0022】この後、配線パターン付きフィルム16に外部接続端子18を接合して半導体装置とする。実施例では外部接続端子18としてはんだボールを使用したか

ら、配線パターン付きフィルム16の接合孔16cの各々にすず-鉛はんだボールを配置し、約230℃でリフローしてはんだボールを接合した。この際、配線パターン付きフィルム16のベースフィルム22がソルダレジストの役割をはたし、好適な形状にはんだボールを形成することができる。もちろん、外部接続端子としてはんだボールのかわりに挿入用あるいは表面実装用のリードピンを使用することもできる。

【0023】上記実施例の半導体装置で使用した配線パターン付きフィルム16は半導体チップ12を収容するデバイスホール16bを形成したものであるが、図4に示すようにデバイスホールを有しない配線パターン付きフィルム17を使用することもできる。この実施例の配線パターン付きフィルム17の配線パターン17aは、一端部に外部接続端子18を接続可能とするとともに、他端部を半導体チップ12の接続部分へ引き回して形成している。

【0024】半導体チップ12をパッケージ基板10に搭載する場合は、半導体チップ12ははんだバンプ12aにより配線パターン17aに接続し、半導体チップ12の周囲にポッティング材24をポッティングした後、パッケージ基板10にあらかじめ接合しておいた弾性体層14に配線パターン付きフィルム17を接合し、パッケージ基板10に半導体チップ12を接合して行う。その後、配線パターン付きフィルム17に外部接続端子18を接合して半導体装置とする。

【0025】上記各実施例で使用する配線パターン付きフィルムは配線パターン16a、17aとして導体層を1層設けたものであるが、導体層を配線パターンや接地層として2層以上形成したものも使用できる。図5は導体層を2層設けた配線パターン付きフィルム26を使用する例である。この配線パターン付きフィルム26は接地層として使用する導体層26aと、外部接続端子18と半導体チップ12とを電気的に接続する配線パターン26b、ベースフィルム26cおよびソルダレジスト26dから成る。ソルダレジスト26dはベースフィルム26cと同素材から成る。このように配線パターン26bとは別に接地層として使用する導体層26aを設けることによって、配線パターン26bのインピーダンス整合、クロストークの防止を図ることができ、これによって半導体装置の高周波特性を向上させることが可能になる。また、導体層26aの接地層を配線パターンとすることによりさらに半導体装置の多ピン化が可能になる。

【0026】上記各実施例で示した半導体装置はパッケージ基板10の片面に半導体チップ12が搭載されポッティングにより封止された簡易な構造の製品として提供される。とくに、パッケージ基板10は単なる平板状あるいは半導体チップ12を搭載するための凹部が形成されたのみできわめて単純化されている。また、半導体チップ12と外部接続端子18との電気的接続は配線パタ

ーン付きフィルム16に設けた配線パターン16aによってなされるが、外部接続端子18は半導体チップ12を搭載した周囲の基板面が有効に利用でき、多ピン化にも好適に対応することが可能になる。

【0027】また、本発明に係る半導体装置では好適に薄型化を図ることができ、半導体装置を小型にすることが可能になる。また、パッケージ基板10によって保形性が得られるので実装等の取扱い性の優れた製品として提供することができる。また、パッケージ基板10に窒化アルミニウムセラミック等の熱放散性の優れたセラミックを使用することによって放熱性の良好な半導体装置として提供することができる。なお、パッケージ基板10の素材としては上記実施例のようにセラミックを使用する他、熱伝導性に優れた銅、アルミニウム、銅-アルミニウムの合金、あるいは、鉄-ニッケル合金、鉄-コバルト-ニッケル合金が好適に使用できる。

【0028】また、弾性体層14としてシリコンゴム等のゴム弾性を有する材料を使用した場合は、パッケージ基板10と実装基板との間の熱膨張係数の相違による熱応力を解消して半導体装置に悪影響が及ぶことを防止することが可能になる。これによって、パッケージ基板10と半導体チップ12との熱膨張係数のマッチングをとり、かつ実装基板との熱応力の問題を解消できる半導体装置を提供することが可能になる。

【0029】

【発明の効果】本発明に係る半導体装置によれば、上述したように、半導体装置の構成を単純化して、取扱い性に優れ、容易に多ピン化に対応できる製品として提供することが可能になる。また、弾性体層にゴム弾性を有する材料を使用することによってパッケージ基板と実装基板との間の熱応力を好適に回避することができ、半導体

チップとパッケージ基板との熱膨張係数をマッチングさせ、かつ熱応力による悪影響を防止できる半導体装置として提供することができる。また、本発明に係る半導体装置の製造方法によれば、容易に半導体装置を製造することができる等の著効を奏する。

【図面の簡単な説明】

【図1】半導体装置の一実施例の構成を示す説明図である。

【図2】半導体装置の他の実施例の構成を示す説明図である。

【図3】配線パターン付きフィルムの構成を示す断面図である。

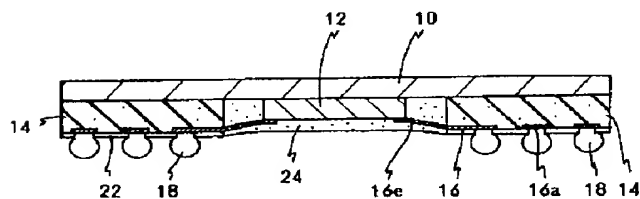
【図4】半導体装置のさらに他の実施例の構成を示す説明図である。

【図5】配線パターン付きフィルムの他の構成例を示す断面図である。

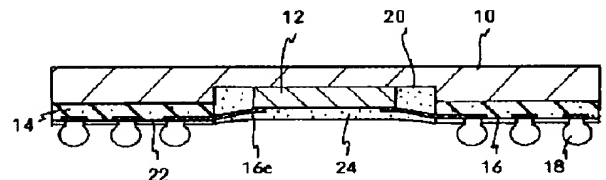
【符号の説明】

- 10 パッケージ基板
- 12 半導体チップ
- 14 弾性体層
- 16 配線パターン付きフィルム
- 16a 配線パターン
- 16b デバイスホール
- 16c 接合孔
- 16e 接続用リード
- 18 外部接続端子
- 20 キャビティ
- 22 ベースフィルム
- 24 ポッティング材
- 30 配線パターン付きフィルム

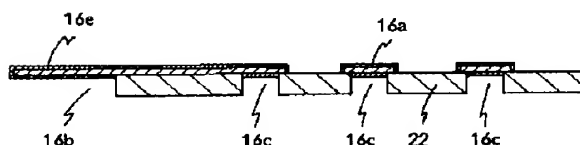
【図1】



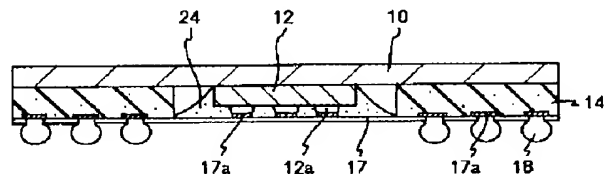
【図2】



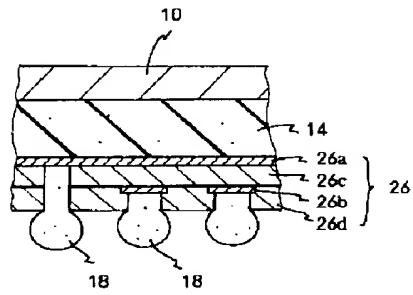
【図3】



【図4】



【図5】



---

フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 L 23/15  
23/14

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/14

C  
M

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08078574 A**

(43) Date of publication of application: **22.03.96**

(51) Int. Cl.  
**H01L 23/12**  
**C08G 77/00**  
**H01L 21/60**  
**H01L 23/15**  
**H01L 23/14**

(21) Application number: **06214428**

(22) Date of filing: **08.09.94**

(71) Applicant: **SHINKO ELECTRIC IND CO LTD**

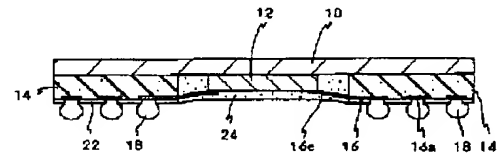
(72) Inventor: **HORIUCHI MICHIO**  
**HARAYAMA YOICHI**

### (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

#### (57) Abstract:

**PURPOSE:** To provide a semiconductor device having excellent heat dissipating capacity capable of solving the problem in the thermal stress during packaging time as well as pertinently coping with multiple pin application.

**CONSTITUTION:** The title semiconductor device is composed of a semiconductor chip 12 junctioned with a package substrate 10, an elastic body layer 14 having electric insulating property coat formed around the mounting part of said semiconductor chip 12 as well as a wiring pattern 16a whose one end part is junctioned with an outer connecting terminals 18 while the other end part is connected to the semiconductor chip 12 sealed with potting step furthermore, junctioned with a wiring patterned film provided on a base film 22.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330355

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 R
21/3205			21/88	M
21/768			21/90	B
21/321		9169-4M	21/92	6 0 2 E
		9169-4M		6 0 3 C

審査請求 未請求 請求項の数15 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平8-7605

(22) 出願日 平成8年(1996)1月19日

(31) 優先権主張番号 特願平7-65609

(32) 優先日 平7(1995)3月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 赤川 雅俊

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

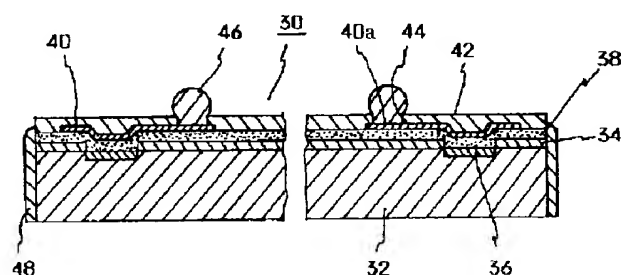
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 簡易な構成で製造が容易となり、安価にできる半導体装置を提供する。

【構成】 半導体チップ32のパッシベーション膜34上に異方性導電シート38が配置され、該異方性導電シート38上に配線パターン40が形成され、該配線パターン40と前記半導体チップ32との電極36とが前記異方性導電シート38が加圧されることにより電氣的導通がとられており、前記異方性導電シート38および前記配線パターン40上に該配線パターン40の外部接続端子接合部40aを露出して電氣的絶縁皮膜42が形成され、前記露出した外部接続端子接合部40aに外部接続端子46が形成されていることを特徴としている。





## 【特許請求の範囲】

【請求項1】 パッシベーション膜が形成された半導体チップ面に一方の面に配線パターンが形成された異方性導電シートの他方の面が固着され、該配線パターンと前記半導体チップの電極とが前記異方性導電シートを介して電氣的に接続されており、前記配線パターンの外部接続端子接合部を露出して電氣的絶縁皮膜が形成され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴とする半導体装置。

【請求項2】 前記配線パターンにより前記異方性導電シートが押圧されることにより電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体チップの電極に前記パッシベーション膜よりも外方に突出するバンプが形成され、該バンプにより前記異方性導電シートが押圧されることにより電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 一方の面に配線パターンが形成された異方性導電シートが複数枚積層して固着され、かつ最下層の異方性導電シートの他方の面がパッシベーション膜が形成された半導体チップ面に固着され、前記配線パターン間および前記配線パターンと半導体チップの電極とが前記異方性導電シートを介して電氣的に接続されており、最上層の異方性導電シートに形成された前記配線パターンの外部接続端子接合部を露出して電氣的絶縁皮膜が形成され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴とする半導体装置。

【請求項5】 前記配線パターンにより前記異方性導電シートが押圧されることにより電氣的に接続されていることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記半導体チップの電極に前記パッシベーション膜よりも外方に突出するバンプが形成され、内層となる異方性導電シートに形成された配線パターンにもバンプが形成され、該バンプにより前記異方性導電シートが押圧されることにより電氣的に接続されていることを特徴とする請求項4記載の半導体装置。

【請求項7】 前記配線パターンのいずれかが電源用もしくは接地用のベタパターンに形成されていることを特徴とする請求項4、5または6記載の半導体装置。

【請求項8】 前記半導体チップを複数備え、該複数の半導体チップに共通の前記異方性導電シートが固着され、前記複数の半導体チップの所要の電極同士が前記配線パターンにより電氣的に接続され、最上層の配線パターンに共通の前記電氣的絶縁皮膜が形成されていることを特徴とする請求項1、2、3、4、5、6または7記載の半導体装置。

【請求項9】 前記電氣的絶縁皮膜が感光性ソルダーレジスト膜により形成されていることを特徴とする請求項1、2、3、4、5、6、7または8記載の半導体装置。

【請求項10】 前記外部接続端子接合部に形成される外部接続端子がバンプであることを特徴とする請求項1、2、3、4、5、6、7、8または9記載の半導体装置。

【請求項11】 一方の面に配線パターンが形成された絶縁性シートの該一方の面が、パッシベーション膜が形成された半導体チップ面に異方性導電シートを介して固着され、該配線パターンと前記半導体チップの電極とが前記異方性導電シートを介して電氣的に接続されており、前記絶縁性シートに透孔が設けられて前記配線パターンの外部接続端子接合部が露出され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴とする半導体装置。

【請求項12】 一方の面に配線パターンが形成された絶縁性シートが複数枚積層して固着され、かつ最下層の絶縁性シートの前記一方の面がパッシベーション膜が形成された半導体チップ面に異方性導電シートを介して固着され、前記配線パターン間および前記配線パターンと半導体チップの電極とが電氣的に接続されており、最上層の前記絶縁性シートに透孔が設けられて前記配線パターンの外部接続端子接合部が露出され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴とする半導体装置。

【請求項13】 前記配線パターンのいずれかが電源用もしくは接地用のベタパターンに形成されていることを特徴とする請求項11または12記載の半導体装置。

【請求項14】 前記半導体チップの電極に前記パッシベーション膜よりも外方に突出するバンプが形成され、該バンプにより前記異方性導電シートが押圧されることにより電氣的に接続されていることを特徴とする請求項11、12または13記載の半導体装置。

【請求項15】 前記外部接続端子接合部に形成される外部接続端子がバンプであることを特徴とする請求項11、12、13または14記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はチップサイズの半導体装置に関する。

【0002】

【従来の技術】半導体チップが搭載された半導体装置はその実装密度を高めるため小型化の要請が強い。この半導体装置の小型化は半導体チップを封入するパッケージの小型化に他ならない。この要請を満たすため、近年はCSPタイプ、すなわちチップ・サイズ・パッケージが出現している。CSPタイプには種々のものがあるが、図19にその一例を示す。10は半導体チップ、12はセラミック基板である。セラミック基板12は半導体チップ10とほぼ同サイズに形成されている。セラミック基板12上には配線パターン14が形成され、該配線パターン14はビア16を介してセラミック基板12下面

側に所要配置で形成されたランド（外部端子）18に接続されている。半導体チップ10はAuバンプ20とAgPdペースト22を介して配線パターン14に接続され、半導体チップ10とセラミック基板12との間の隙間には樹脂24が封止される。

#### 【0003】

【発明が解決しようとする課題】上記半導体装置によれば小型化が達成されるが、セラミック基板10を用いたり、Auバンプ20を用いたりしているのが高価となる。そこで、本発明は上記問題点を解決すべくなされたものであり、その目的とするところは、簡易な構成で製造が容易となり、安価にできる半導体装置を提供するにある。

#### 【0004】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、パッシベーション膜が形成された半導体チップ面に一方の面に配線パターンが形成された異方性導電シートの他方の面が固着され、該配線パターンと前記半導体チップの電極とが前記異方性導電シートを介して電氣的に接続されており、前記配線パターンの外部接続端子接合部を露出して電氣的絶縁皮膜が形成され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴としている。前記配線パターンにより前記異方性導電シートを押圧することにより電氣的に接続することができる。あるいは、前記半導体チップの電極に前記パッシベーション膜よりも外方に突出するバンプを形成し、このバンプにより前記異方性導電シートを押圧することによって電氣的に接続することができる。このようにすれば、配線パターンをほぼ平坦に維持できるので有利である。

【0005】また本発明では、一方の面に配線パターンが形成された異方性導電シートが複数枚積層して固着され、かつ最下層の異方性導電シートの他方の面がパッシベーション膜が形成された半導体チップ面に固着され、前記配線パターン間および前記配線パターンと半導体チップの電極とが前記異方性導電シートを介して電氣的に接続されており、最上層の異方性導電シートに形成された前記配線パターンの外部接続端子接合部を露出して電氣的絶縁皮膜が形成され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴としている。前記配線パターンにより前記異方性導電シートを押圧することにより電氣的に接続することができる。

【0006】あるいは前記半導体チップの電極に前記パッシベーション膜よりも外方に突出するバンプを形成し、また内層となる異方性導電シートに形成された配線パターンにもバンプを形成し、このバンプにより前記異方性導電シートを押圧することにより電氣的に接続することができる。またこの場合、前記配線パターンのいずれかを電源用もしくは接地用のベタパターンに形成することができる。電源用のベタパターンとすると、電

源ラインの引回しが容易となり、接地用ベタパターンとすると、いわゆるデカップリングコンデンサを形成でき、電氣的特性を向上できる。

【0007】また、上記各場合において、半導体チップを複数接続し、該複数の半導体チップに共通の前記異方性導電シートを固着し、前記複数の半導体チップの所要の電極同士を前記配線パターンにより電氣的に接続し、最上層の配線パターンに共通の前記電氣的絶縁皮膜を形成するようにすると、マルチチップモジュールをチップサイズで形成できる。また上記各場合において、前記電氣的絶縁皮膜を感光性ソルダーレジスト膜により形成することができ、この場合、フォトリソグラフィによって配線パターンの外部接続端子接合部を容易に露出させることができる。前記外部接続端子接合部に形成する外部接続端子をバンプに形成して、BGAタイプの半導体装置に形成できる。

【0008】また本発明に係る半導体装置では、一方の面に配線パターンが形成された絶縁性シートの該一方の面が、パッシベーション膜が形成された半導体チップ面に異方性導電シートを介して固着され、該配線パターンと前記半導体チップの電極とが前記異方性導電シートを介して電氣的に接続されており、前記絶縁性シートに透孔が設けられて前記配線パターンの外部接続端子接合部が露出され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴としている。さらに、一方の面に配線パターンが形成された絶縁性シートが複数枚積層して固着され、かつ最下層の絶縁性シートの前記一方の面がパッシベーション膜が形成された半導体チップ面に異方性導電シートを介して固着され、前記配線パターン間および前記配線パターンと半導体チップの電極とが電氣的に接続されており、最上層の前記絶縁性シートに透孔が設けられて前記配線パターンの外部接続端子接合部が露出され、前記外部接続端子接合部に外部接続端子が形成されていることを特徴としている。

【0009】前記配線パターンのいずれかを電源用もしくは接地用のベタパターンに形成することができる。電源用のベタパターンとするとき、電源ラインの引回しが容易となり、接地用ベタパターンとすると、いわゆるデカップリングコンデンサを形成でき、電氣的特性を向上できる。また、前記半導体チップの電極に前記パッシベーション膜よりも外方に突出するバンプを形成し、このバンプにより前記異方性導電シートを押圧することにより電氣的に接続することができる。前記外部接続端子接合部に形成する外部接続端子をバンプにすることによってBGAタイプの半導体装置に形成できる。

#### 【0010】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。図1は半導体装置30の断面図を示す。32は半導体チップ、34はSiO<sub>2</sub>等からなるパッシベーション膜、36は半導体チップ

32に作り込まれた電極であるAlパッド（パッド部）である。Alパッド36の部位にはパッシベーション膜34は形成されず、Alパッド36は露出している。Alパッド36は所要のパターンで半導体チップ32上に多数形成されている。38は異方性導電シートであり、パッシベーション膜34を覆って形成されている。異方性導電シート38は樹脂中に金属粉等の導電フィラー39（図2）が配合されており、加圧することによってこれら導電フィラー39が加圧方向に連続し、加圧方向に導電性が生じるものである。

【0011】40は配線パターンであり、所要のパターンで異方性導電シート38上に形成されている。配線パターン40は図2に示すように異方性導電シート38に食い込むように押圧され、これにより該部位の異方性導電シート38が加圧され、該部位の異方性導電シート38が導通し、Alパッド36と配線パターン40とが電気的に接続される。配線パターン40は、銅箔等の金属箔を異方性導電シート38上に貼着し、この金属箔をエッチングして所要パターンに形成される。あるいはスパッタ等により銅またはアルミニウム等の金属箔を形成し、エッチングしてパターンを形成してもよい。42は感光性レジスト膜（電氣的絶縁皮膜）であり、異方性導電シート38および配線パターン40を覆って形成されている。感光性レジスト膜42は配線パターン40の保護膜であり、種々の材質の感光性ソルダーレジストを用いることができる。

【0012】感光性レジスト膜42の各配線パターン40に対応する適宜部位には、例えば感光性レジスト膜42上にマトリックス状の配置となるように透孔44が形成されている（透孔44により露出する配線パターン40の部分が外部接続端子接合部40a）。46は外部接続端子であるバンプであり、各透孔44を通じて各外部接続端子接合部40aに電気的に接続して配置され、感光性レジスト膜42上に突出して外部接続端子に形成されている。バンプ46は図示のごとくはんだボール等のボールバンプに形成することもできるが、平坦なランド状その他の形状に形成できる。あるいはリードピンを接続して外部接続端子としてもよい。またバンプはニッケル／金めっき等のめっきにより形成してもよい。48は保護膜であり、半導体チップ32、パッシベーション膜34、異方性導電シート38の側壁を覆って形成され、各層の境界からの湿気の進入等を防止する。保護膜48は適当な材質の樹脂等のレジストを用いて形成できるが、必ずしも設けなくともよい。また、保護膜48にかえて、金属等からなる枠体を固着してもよい。

【0013】上記のように形成されているので、半導体チップ32と同サイズの半導体装置30に形成できる。またインターポーザとなる異方性導電シート38および感光性レジスト膜42は薄く形成できるので、薄い半導体装置30に形成できる。異方性導電シート38および

感光性レジスト膜42は硬度がそれほど高くないので、半導体チップ32表面を保護する緩衝層としても機能する。なお、半導体チップ32の反対側の面は露出させて放熱性を高めるようにすると好適である。さらに放熱性を向上させるために、ヒートシンクあるいはヒートスプレッダー（図示せず）を固着してもよい。

【0014】図3は他の実施の形態を示す。本実施の形態では半導体チップ32のAlパッド36上に例えばAuによりバンプ37をパッシベーション膜34より高く突出するように設け、異方性導電シート38をパッシベーション膜34上に固定する際、該突出するバンプ37により異方性導電シート38が加圧されて該部位の異方性導電シート38が導通してAlパッド36と配線パターン40とが電気的に接続するようになっている。本実施の形態の他の部位は図1に示す実施の形態と同じであるので図示を省略する。本実施の形態でも上記と同様の効果を奏する。さらに本実施の形態では、配線パターン40をほぼ平坦に形成できるので積層する場合に有利となる。

【0015】図4、図5は図1に示す半導体装置30を製造する製造工程を示す。図4に示すように、異方性導電シート38上に銅箔等の金属箔を貼着し、この金属箔を公知のフォトリソグラフィ工程によりエッチング加工して配線パターン40を形成する。なお、スパッタ等により金属層を形成し、この金属層をエッチング加工して配線パターン40を形成してもよい。この配線パターン40を形成した異方性導電シート38を図5に示すように半導体チップ32のパッシベーション膜34上に配線パターン40が対応するAlパッド36と重なるように位置決めして配置する。次いで、Alパッド36の配列パターンにしたがって押圧突起41が形成された圧着治具43を用いて配線パターン40ならびに異方性導電シート38を押圧すると共に加熱して異方性導電シート38をパッシベーション膜34上に熱圧着する。その際配線パターン40は押圧突起41に押圧されて図2に示す状態に変形し、この部位の異方性導電シート38が加圧され、Alパッド36に接触すると共に導通し、配線パターン40とAlパッド36が電気的に接続される。

【0016】次に電氣的絶縁皮膜42を形成すべく、異方性導電シート38上および配線パターン40上に感光性レジスト（感光性ソルダーレジスト）を塗布し、露光、現像して透孔44を形成する。なお、電氣的絶縁皮膜42は予め異方性導電シート38および配線パターン40上に形成し、しかる後異方性導電シート38を半導体チップ32上に固着してもよい。この透孔44内にはんだボール（バンプ46）を配置し、リフローしてはんだボールを配線パターン40上に固定する。上記のようにして半導体装置30に完成できる。なお、必要に応じて半導体装置30の側壁にレジストを塗布し、乾燥させて保護膜48を形成する。

【0017】上記実施の形態では個片にした半導体チップ

プ32を用いたが、半導体チップ32が多数作り込まれたウェハーを用いてもよい。そして上記と同様にウェハー上に異方性導電シート38、配線パターン40、感光性レジスト膜42、バンプ46を作り込んで後、スライスして個片に分離することにより、一時に多数の半導体装置30を形成することができ、コストの低減化が図れる。また、配線パターン40は異方性導電シート38を半導体チップ32に固着した後に形成してもよい。

【0018】次に図3に示す実施の形態の半導体装置30を製造する方法を示す。まず、半導体チップ32のAlパッド36上に金バンプ37をあらかじめ形成し、この金バンプ37の上に、図4に示す配線パターン40を形成した異方性導電シート38を重ね、熱圧着させればよい。この場合には図5に示すような押圧突起41を有する圧着治具43は用いる必要がない。すなわち、熱圧着する際異方性導電シート38を全体的に押圧することで、金バンプ37が異方性導電シート38内に食い込み、これにより該部位の異方性導電性シート38が加圧され、導通するからである。感光性レジスト膜42、バンプ46は前記実施の形態と同様に形成できる。なお、配線パターン40は異方性導電シート38を熱圧着した後に形成してもよい。また電氣的絶縁皮膜42は予め異方性導電シート38および配線パターン40上に形成し、しかる後異方性導電シート38を半導体チップ32上に固着してもよい。

【0019】図6は半導体装置30のさらに他の実施の形態を示す。本実施の形態では複数の半導体チップ32をヒートスプレッド等の共通の基板47上に搭載し、該複数の半導体チップ32上に、前記と同様に形成した異方性導電シート38を形成し、該異方性導電シート38上に各半導体チップ32に対応する各配線パターン40と、隣接する半導体チップ32を電氣的に接続するための所要の電極36同士間を接続する配線パターン45とを前記実施の形態と同様に形成し、その上に前記と同様に形成した電氣的絶縁皮膜42を形成し、各配線パターン40の外部接続端子接合部40aにバンプ46を形成するようにしたものである。すなわち複数の半導体チップ32を用いた1つの半導体装置（マルチチップモジュール）30に形成したものである。複数の半導体チップ32としては、例えばMPUとキャッシュメモリ、複数のメモリ同士などを接続できる。本実施の形態では、複数の半導体チップを共通の基板47上に搭載し、電極間を配線パターンにより電氣的に接続したので、配線を短くでき、信号の遅延防止等の電氣的特性に優れた半導体装置を提供し得る。また異方性導電シートおよび電氣的絶縁皮膜を共通にして形成することで製造も容易となる。なお、複数の半導体チップ32を共通の枠体（図示せず）で保持するようにすれば基板47は必要ない。あるいは複数の半導体チップを共通のウェハー上に形成することもできる。本実施の形態の半導体装置

30も上記と同様の工程で製造できる。

【0020】図7は半導体装置30のさらに他の実施の形態を示す。前記実施の形態と同一の部材は同一の符号を付している。本実施の形態では、半導体チップ32の上面に形成する異方性導電シート38を多層（実施の形態では2層）に形成している。1層目の異方性導電シート38は図3に示す実施の形態と同様に半導体チップ32のAlパッド36上にAu等により形成したバンプ37によって押圧することで、その配線パターン40とAlパッド36とを電氣的に接続するようにしている。また2層目の異方性導電シート38も同様に形成して、1層目の配線パターン40の適所に形成したバンプ37によって押圧して、1層目と2層目の配線パターン40間の電氣的導通をとるようにしている。42は感光性レジスト膜（電氣的絶縁皮膜）であり、異方性導電シート38および配線パターン40を覆って形成されている。感光性レジスト膜42は配線パターン40の保護膜であり、種々の材質の感光性ソルダーレジストを用いることができる。

【0021】感光性レジスト膜42の各配線パターン40に対応する適宜部位には、例えば感光性レジスト膜42上にマトリックス状の配置となるように透孔44が形成されている（透孔44により露出する配線パターン40の部分が外部接続端子接合部40a）。46は外部接続端子であるバンプであり、各透孔44を通じて各外部接続端子接合部40aに電氣的に接続して配置され、感光性レジスト膜42上に突出して外部接続端子に形成されている。バンプ46は図示のごとくはんだボール等のボールバンプに形成することもできるが、平坦なランド状その他の形状に形成できる。あるいはリードピンを接続して外部接続端子としてもよい。なお、本実施の形態においても、配線パターン40間および配線パターン40とAlパッド36との間の接続を図1に示すように配線パターン40を押圧して接続してもよい。

【0022】本実施の形態においても、半導体チップ32と同サイズの半導体装置30に形成できる。またインターポーザとなる異方性導電シート38および感光性レジスト膜42は薄く形成できるので、薄い半導体装置30に形成できる。異方性導電シート38および感光性レジスト膜42は硬度がそれほど高くないので、半導体チップ32表面を保護する緩衝層としても機能する。なお、半導体チップ32の反対側の面は露出させて放熱性を高めるようにすると好適である。さらに放熱性を向上させるために、ヒートシンクあるいはヒートスプレッダー（図示せず）を固着してもよい。

【0023】図8は、上記異方性導電シート38を多層に設けた場合の他の実施の形態を示す。本実施の形態では、中間層となる配線パターン40のいずれかを電源用もしくは接地用のベタパターン40bに形成している。上層の配線パターン40と半導体チップ32のAlパッド36との接続は、図示のごとく、ベタパターン42bに

リング状の透孔を設けてベタパターン40bと独立させたパターン40cに設けたバンプ37およびAlパッド36に形成したバンプ37を介して接続するようにすることができる。あるいはベタパターン40bに単に透孔を設けて、上層の配線パターン40を押圧して異方性導電シート38、38を介して接続するようにすることもできる。電源用あるいは接地用のAlパッドとベタパターン40bとの間の接続、ベタパターン40bと上層の配線パターン40の必要部との接続も上記と同様にしてバンプ37やあるいは配線パターン40、40bを押圧して

【0024】図9、図10はさらに他の実施の形態を示す。41はポリイミド、エポキシ、ポリエステル等からなる絶縁性シートであり、その一方の面に銅箔等によって配線パターン40が形成されている。この配線パターン40の外部接続端子接合部40aとなる部位の絶縁性シート41には透孔44が形成されていて、該外部接続端子接合部40aは露出されている(図9)。38は前記と同様の金属粉等の導電フィラーが配合された異方性導電シートである。また37は半導体チップ32のAlパッド上に形成したバンプである。本実施の形態では、配線パターン40が形成された絶縁性シート41の一方の面を異方性導電シート38側に向けて、半導体チップ32、異方性導電シート38、絶縁性シート41を積層し、加圧して一体化している。これによりバンプ37によって異方性導電シート38が押圧され、該部位の配線パターン40とAlパッドとが電氣的に接続される。透孔44には外部接続端子となるバンプ46を形成して半導体装置30に完成される。なお、バンプ37は配線パターン40側に形成してもよい。本実施の形態においてもチップサイズの半導体装置を容易に形成できる。配線パターン40とAlパッドとの間の接続も異方性導電シート38を介して容易に行える。図11は、配線パターン40を設けた絶縁性シート41を半導体チップ32上に多層に設けた実施の形態を示す。絶縁性シート41間の固着は接着剤43によって行い、また配線パターン40、40間の電氣的な接続はビア45によって接続している。最下層の絶縁性シート41は前記と同様にして異方性導電シート38を介して固定し、かつ電氣的接続をとっている。本実施の形態でも、中間の配線パターンを電源用もしくは接地用のパターンに設けてもよい。

【0025】なお、上記各実施の形態では配線パターン40は銅箔等の金属箔により形成したが、異方性導電シ

ート38をあらかじめ配線パターン40の形状にプレス等により押圧して、該押圧部位に導通性を持たせたものをそのまま用いるようにしてもよい。このようにすることで工程の短縮ができコストの一層の低減化が可能となる。本発明における配線パターンは異方性導電シートを加圧して形成した場合も含むものである。

【0026】図12は本発明の半導体装置に用いる導体層付異方性導電シート50を示す。この導体層付異方性導電シート50は異方性導電シート52の表面に銅箔等の導体層54を形成したものである。異方性導電シート52は、エポキシ、ポリイミド、シリコン等の樹脂に金属粉等の導電フィラーを配合したものである。シリコン樹脂は、ゴム状弾性を有するので、特に半導体チップと実装基板との間に生じる応力を緩和できる。導電フィラーは、Ni、Ag、Ag-Pd等の金属粉、Ni、Ag、Ag-Pd等の金属粉を樹脂(エポキシ、ポリイミド、シリコン等)で被覆したもの、樹脂の核(エポキシ、ポリイミド、シリコン等)にNi、Ag、Ag-Pd等のめっき皮膜を形成したものなどを、シートを押圧することにより導電フィラーが接触して導電性が生じるに必要な量だけ樹脂中に配合される。導体層54は、異方性導電シート52に銅箔等の金属箔を貼付するものの他、異方性導電シート52に銅等の金属をスパッタリングしたり蒸着して形成することができる。あるいは、銅等の金属箔上に、樹脂に導電フィラーを配合してペースト状にした異方性導電材料をキャスト(ドクターブレード法)してシート状にし、キュアして導体層付異方性導電シートに形成するようにすることができる。この導体層付異方性導電シート50は、図1〜図11に示した半導体装置30を形成するのに好適に用いることができる他、以下に示すような配線基板に好適に用いることができる。

【0027】図13は配線基板56の一例を示す。58は表面に公知の手法により銅箔等によって配線パターン60を形成したプリント配線基板である。52は図12に示す導体層付異方性導電シート50の導体層54をエッチング加工して表面に配線パターン62が形成された異方性導電シートである。この異方性導電シート52は配線パターン62が形成された面と反対側の面でプリント配線基板58面上に固着される。そして配線パターン62上から適宜な押圧治具(図示せず)により配線パターン62の部位を押圧し、配線パターン62を変形させることにより、異方性導電シート52を介して配線パターン62と配線パターン60との間の電氣的導通をとっている。

【0028】64は感光性レジスト膜(電氣的絶縁皮膜)であり、異方性導電シート52および配線パターン62を覆って形成されている。感光性レジスト膜64は配線パターン62の保護膜であり、種々の材質の感光性ソルダーレジストを用いることができる。感光性レジスト膜64の各配線パターン62に対応する適宜部位に



は、透孔66が形成されている（透孔66により露出する配線パターン62の部分が外部接続部62a）。外部接続部62aにははんだ等により外部電子部品が接続可能となっている。

【0029】異方性導電シート52および感光性レジスト膜64は薄く形成できるので、薄い配線基板56に形成できる。特にシリコン樹脂を用いた場合、ゴム状弾性を有するので、プリント配線基板と実装される外部電子部品との間に発生する応力を緩和できる。異方性導電シート52および感光性レジスト膜64は硬度がそれほど高くないので、実装される外部電子部品を保護する緩衝層としても機能する。また上記のように、異方性導電シート52を用いているので、配線パターン60、62間の電氣的接続は容易に行える。

【0030】図14は配線基板56の他の実施の形態を示す。図13に示す実施の形態と同一の部材は同一の符号を付し、その説明を省略する。本実施の形態では、図3に示すのと同様に、配線パターン60上にAu等によりバンプ61を形成し、このバンプ61により異方性導電シート52を押圧し、これにより配線パターン62、60間の電氣的接続をとっている。このようにバンプ61を形成することによって、配線パターン62をほぼ平坦に維持できるので異方性導電シート52を積層する場合に有利となる。

【0031】図15は異方性導電シート52をプリント配線基板58上に多層に設けた実施の形態を示す。下層と上層の異方性導電シート52の配線パターン62間の接続、配線パターン62と配線パターン60間の接続は、図13に示すのと同様に配線パターンを押圧変形させて異方性導電シートを介して接続してもよいし、図示のように配線パターン60および配線パターン62上に形成したバンプ61、61によって異方性導電シート52を押圧して接続するようにしてもよい。このように異方性導電シート52により容易に電氣的接続をとって多層の配線基板56に形成することができる。また、この場合に、図8に示すのと同様の構造により、中間の配線パターン62を電源用あるいは接地用のベタパターン（図示せず）に形成することができる。上記ベタパターンを電源用のベタパターンとすると、上層の配線パターン62の電源ラインの引回しが自由で容易となり、接地用ベタパターンとすると、引回しの自由度向上と共に、ベタパターン上にスパッタリング等によりいわゆるデカップリングコンデンサを形成でき、電氣的特性を向上できる。これら電源用あるいは接地用のベタパターンは実装する電子部品に対応して部分的に設けてもよい。なお、配線基板としてはセラミック配線基板を用いてもよい。

【0032】図16は配線基板56のさらに他の実施の形態を示す。本実施の形態では、配線パターン付きの異方性導電シート52を多層（図示の例では3層）に形成

している。この場合、1層目の異方性導電シートには、両面に導体層を形成した前記の導体層付異方性導電シート50の該導体層をエッチングして両面に配線パターン62、62aを形成したものをを用い、2層目および3層目の異方性導電シート52は上記と同様に片面に配線パターン62を形成したものをを用いて積層し、熱圧着して配線基板56としている。

【0033】1層目の異方性導電シートの両配線パターン62、62a間は、配線パターン62aを押圧して変形させることにより異方性導電シート52を介して電氣的に接続するようにしている。1層目、2層目、3層目の配線パターン62間の接続はバンプ61および異方性導電シート52を介して行うようにしている。42、42は感光性レジスト膜（電氣的絶縁皮膜）であり、両表面の配線パターン62および62aを覆って形成され、一方の感光性レジスト膜42に形成した透孔にははんだボール等の外部接続端子46を形成し、他方の感光性レジスト膜42に形成した透孔には配線パターン62を露出させて電子部品等の接続部に形成している。なお、各配線パターン62はあらかじめ異方性導電シート52上に形成しておいてもよいし、導体層付異方性導電シートを1層積層する度に導体層をエッチング等して形成してもよい。

【0034】なお、図17に示すように、1層目にはポリイミドシート、エポキシシート、異方性導電シート等から成る絶縁性フィルム52a上に配線パターン62を形成したものをを用い、2層目以上は上記同様に片面に配線パターン62を形成した異方性導電シート52を用いて、積層、熱圧着するようにしてもよい。この場合1層目の絶縁性シート52aに直接透孔を形成して外部接続端子46を形成するようにすることもできる。また絶縁性フィルム52aが異方性導電シートであるときは表面を保護するためレジストを塗布してもよい。

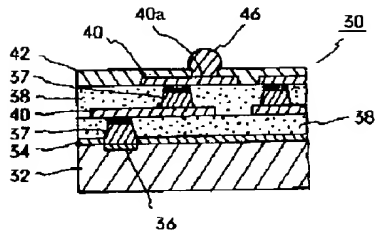
【0035】また上記の各実施の形態において、外部接続端子たるバンプ46は、図18に示すように、外部接続端子接合部40a、および電氣的絶縁皮膜42あるいは絶縁性シート41の透孔周縁から内壁面にかけて金属層33を形成して、この金属層33上に形成することにより、接合面積が増加し、接合強度が向上する。以上本発明につき好適な実施の形態を挙げて種々説明したが、本発明はこの実施の形態に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのはもちろんである。

【0036】

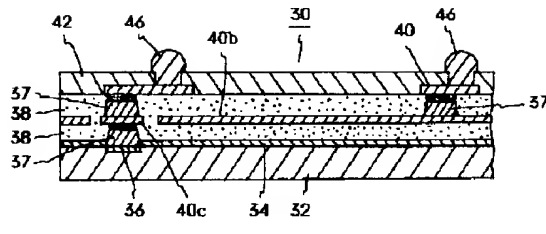
【発明の効果】本発明に係る半導体装置によれば、上述したように、インターポーザとなる異方性導電シートおよび電氣的絶縁皮膜は薄く形成できるので、薄い半導体装置にでき、コストの低減化も図れる。異方性導電シート、電氣的絶縁皮膜は硬度がそれほど高くないので、半導体チップ表面を保護したり、半導体チップと実装基板



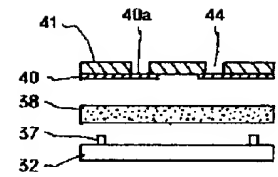
【図 7】



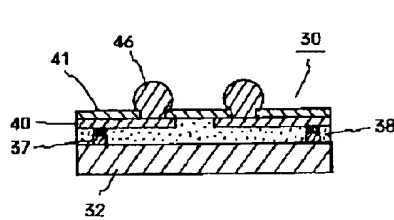
【図 8】



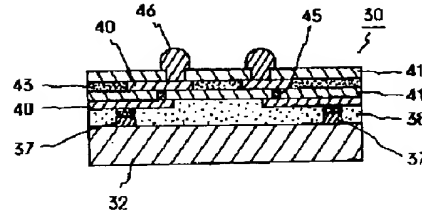
【図 9】



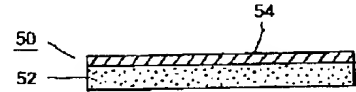
【図 10】



【図 11】

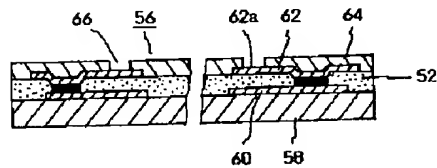


【図 12】

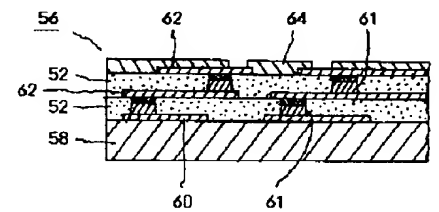
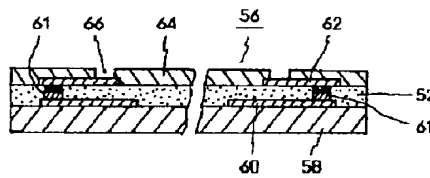


【図 15】

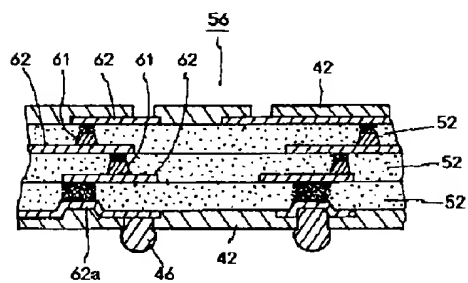
【図 13】



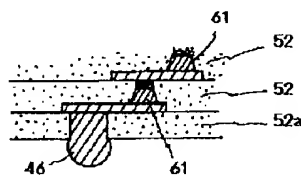
【図 14】



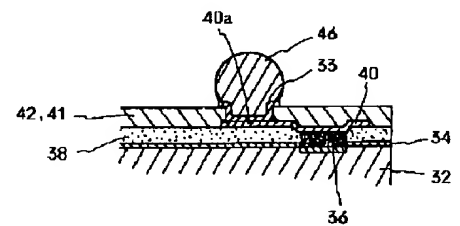
【図 16】



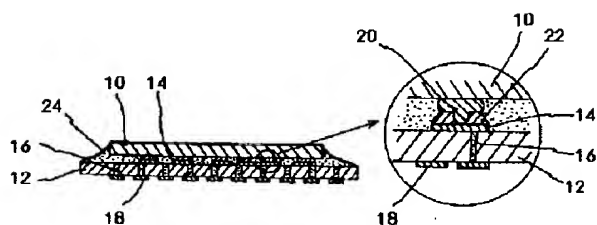
【図 17】



【図 18】



【図 19】





フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

9169-4M

H O 1 L 21/92

6 0 4 Z

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08330355 A**

(43) Date of publication of application: **13.12.96**

(51) Int. Cl  
**H01L 21/60**  
**H01L 21/3205**  
**H01L 21/768**  
**H01L 21/321**

(21) Application number: **08007605**  
(22) Date of filing: **19.01.96**  
(30) Priority: **24.03.95 JP 07 65609**

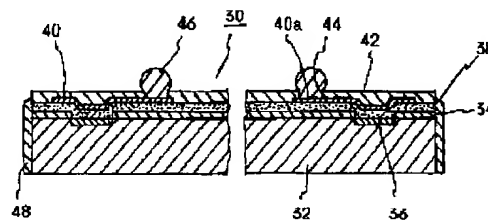
(71) Applicant: **SHINKO ELECTRIC IND CO LTD**  
(72) Inventor: **AKAGAWA MASATOSHI**

### (54) SEMICONDUCTOR DEVICE

#### (57) Abstract:

**PURPOSE:** To provide a semiconductor device of simple structure which can be manufactured easily at low cost.

**CONSTITUTION:** An anisotropic conductive sheet 38 is arranged on the passivation film 34 of a semiconductor chip 32, a wiring pattern 40 is formed on the anisotropic conductive sheet 38, and the wiring pattern 40, the semiconductor chip 32 and an electrode 36 have an electric continuity by applying pressure to the anisotropic conductive sheet 38. An electric insulating film 42 is formed on the anisotropic conductive sheet 38 and the wiring pattern 40 by exposing the outer connection terminal junction part 40a of the wiring pattern 40, and an outer connection terminal 46 is formed on the exposed outer connection terminal junction part 40a.



COPYRIGHT: (C)1996,JPO